

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EP0. All rts. reserv.

16851665

5 Basic Patent (No,Kind,Date): EP 1103946 A2 20010530 <No. of Patents: 005>

GRADATION CONTROL FOR AN ACTIVE MATRIX EL DISPLAY (English; French;
German)

Patent Assignee: SEMICONDUCTOR ENERGY LAB (JP)

Author (Inventor): INUKAI KAZUTAKA (JP)

10 Designated States : (National) DE; FI; FR; GB; NL

IPC: *G09G-003/30; G09G-003/32

Language of Document: English

Patent Family:

	Patent No	Kind	Date	Applic No	Kind	Date	
15	CN 1298167	A	20010606	CN 2000134290	A	20001129	
	EP 1103946	A2	20010530	EP 2000126069	A	20001129	(BASIC)
	EP 1103946	A3	20021120	EP 2000126069	A	20001129	
	JP 2001343933	A2	20011214	JP 2000359032	A	20001127	
	TW 525122	B	20030321	TW 89123409	A	20001106	

20 Priority Data (No,Kind,Date):

JP 99338786 A 19991129

JP 200086968 A 20000327

JP 2000359032 A 20001127

25 DIALOG(R)File 347:JAPI0

(c) 2004 JPO & JAPI0. All rts. reserv.

07116265 **Image available**

LIGHT EMISSION DEVICE

30

PUB. NO.: 2001-343933 [JP 2001343933 A]

PUBLISHED: December 14, 2001 (20011214)

INVENTOR(s): INUKAI KAZUTAKA

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

35 APPL. NO.: 2000-359032 [JP 2000359032]

FILED: November 27, 2000 (20001127)

PRIORITY: 11-338786 [JP 99338786], JP (Japan), November 29, 1999
(19991129)

2000-086968 [JP 200086968], JP (Japan), March 27, 2000
(20000327)

40

INTL CLASS: G09G-003/30; G09F-009/30; G09G-003/20; H05B-033/14

ABSTRACT

5 PROBLEM TO BE SOLVED: To provide an active matrix type light emission device capable of performing sharp multi-level color display.

SOLUTION: In this light emission device, plural pixels of a pixel part are enclosed respectively with a source signal line, a first gate signal line,
10 a second gate signal line and a power source supplying line and each pixel has a TFT (thin film transistor) for switching, a TFT for EL(electroluminescence) drive, a TFT for erasure and an EL(electroluminescent) element.

15 COPYRIGHT: (C) 2001, JPO

20

25

30

35

40

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-343933

(P 2 0 0 1 - 3 4 3 9 3 3 A)

(43) 公開日 平成13年12月14日 (2001.12.14)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G09G 3/30		G09G 3/30	J 3K007
G09F 9/30	338	G09F 9/30	338 5C080
	365		365 Z 5C094
G09G 3/20	611	G09G 3/20	611 H
	624		624 B

審査請求 未請求 請求項の数22 O L (全50頁) 最終頁に続く

(21) 出願番号 特願2000-359032 (P 2000-359032)

(22) 出願日 平成12年11月27日 (2000.11.27)

(31) 優先権主張番号 特願平11-338786

(32) 優先日 平成11年11月29日 (1999.11.29)

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願2000-86968 (P 2000-86968)

(32) 優先日 平成12年3月27日 (2000.3.27)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 犬飼 和隆
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

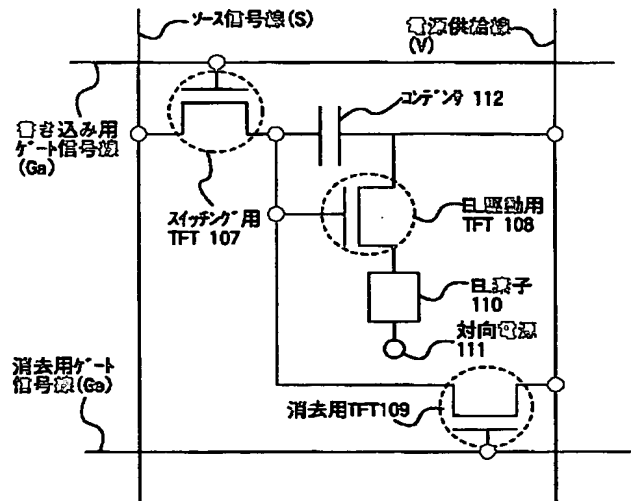
最終頁に続く

(54) 【発明の名称】 発光装置

(57) 【要約】

【課題】 鮮明な多階調カラー表示の可能なアクティブマトリクス型の発光装置を提供する。

【解決手段】 画素部が有する複数の画素は、ソース信号線と、第1のゲート信号線と、第2のゲート信号線と、電源供給線とで囲まれており、前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、消去用TFTと、EL素子とをそれぞれ有しており、いることを特徴とする発光装置。



【特許請求の範囲】

【請求項 1】ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部とを有する発光装置であって、
前記画素部は複数の画素を有しており、
前記複数の画素は、E L 素子と、前記 E L 素子の発光をそれぞれ制御する E L 駆動用 T F T と、前記 E L 駆動用 T F T の駆動を制御するスイッチング用 T F T 及び消去用 T F T とを有し、
前記第 1 のゲート信号線駆動回路によって前記スイッチング用 T F T の駆動が制御され、
前記第 2 のゲート信号線駆動回路によって前記消去用 T F T の駆動が制御され、
前記複数の E L 素子の発光する時間を制御することで階調表示を行うことを特徴とする発光装置。

【請求項 2】ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、電源供給線とを有する発光装置であって、
前記画素部は複数の画素を有しており、
前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、
前記スイッチング用 T F T が有するゲート電極は前記第 1 のゲート信号線と接続されており、
前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、
前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、
前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、
前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されていることを特徴とする発光装置。

【請求項 3】ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、一定の電位に保たれた電源供給線とを有する発光装置であって、
前記画素部は複数の画素を有しており、
前記複数の画素は、スイッチング用 T F T と、E L 駆動

用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、
前記 E L 素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられた E L 層とを有しており、
前記スイッチング用 T F T が有するゲート電極は前記第 1 のゲート信号線と接続されており、
前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、
前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、
前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、
前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子が有する画素電極に接続されていることを特徴とする発光装置。

【請求項 4】請求項 3 において、前記 E L 層は低分子系有機物質またはポリマー系有機物質であることを特徴とする発光装置。

【請求項 5】請求項 4 において、前記低分子系有機物質は、A l q、(トリスー 8 - キノリライト - アルミニウム) または T P D (トリフェニルアミン誘導体) からなることを特徴とする発光装置。

【請求項 6】請求項 4 において、前記ポリマー系有機物質は、P P V (ポリフェニレンビニレン)、P V K (ポリビニルカルバゾール) またはポリカーボネートからなることを特徴とする発光装置。

【請求項 7】ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、電源供給線とを有する発光装置であって、前記画素部は複数の画素を有しており、
前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、
前記スイッチング用 T F T が有するゲート電極は前記第 1 のゲート信号線と接続されており、
前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、
前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子に接続されており、

1 フレーム期間内に n 個の書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ と、 $(m-1)$ 個の消去期間 $T e_1$ 、 $T e_2$ 、 \dots 、 $T e_{(m-1)}$ (m は 2 から n までの任意の数) とが設けられており、

前記書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、

前記消去期間 $T e_1$ 、 $T e_2$ 、 \dots 、 $T e_{(m-1)}$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記 n 個の書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ のうち、書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_m$ と、前記消去期間 $T e_1$ 、 $T e_2$ 、 \dots 、 $T e_{(m-1)}$ とはそれぞれ互いに一部重なっており、

前記 n 個の書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ のうちの書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_{(m-1)}$ のそれぞれが開始されてから、前記消去期間 $T e_1$ 、 $T e_2$ 、 \dots 、 $T e_{(m-1)}$ のそれぞれが開始されるまでの期間が、表示期間 $T r_1$ 、 $T r_2$ 、 \dots 、 $T r_{(m-1)}$ であり、

前記消去期間 $T e_1$ 、 $T e_2$ 、 \dots 、 $T e_{(m-1)}$ のそれぞれが開始されてから、前記 n 個の書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ のうちの書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_m$ のそれぞれが開始されるまでの期間が、非表示期間 $T d_1$ 、 $T d_2$ 、 \dots 、 $T d_n$ であり、

前記 n 個の書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ のうちの書き込み期間 $T a_m$ 、 $T a_{(m+1)}$ 、 \dots 、 $T a_n$ のそれぞれが開始されてから、前記各書き込み期間 $T a_m$ 、 $T a_{(m+1)}$ 、 \dots 、 $T a_n$ の次の書き込み期間のそれぞれが開始されるまでの期間が表示期間 $T r_m$ 、 $T r_{(m+1)}$ 、 \dots 、 $T r_n$ であり、

前記デジタルデータ信号によって、前記表示期間 $T r_1$ 、 $T r_2$ 、 \dots 、 $T r_n$ において前記複数の E L 素子が 40 発光するか発光しないかが選択され、

前記 n 個の書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ と、前記 $(m-1)$ 個の消去期間 $T e_1$ 、 $T e_2$ 、 \dots 、 $T e_{(m-1)}$ の長さは全て同じであり、

前記表示期間 $T r_1$ 、 $T r_2$ 、 \dots 、 $T r_n$ の長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表されることを特徴とする発光装置。

【請求項 8】ソース信号線駆動回路と、第 1 のゲート信号線駆動回路と、第 2 のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソ 50

ース信号線と、前記第 1 のゲート信号線駆動回路に接続された複数の第 1 のゲート信号線と、前記第 2 のゲート信号線駆動回路に接続された複数の第 2 のゲート信号線と、一定の電位に保たれた電源供給線とを有する発光装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用 T F T と、E L 駆動用 T F T と、消去用 T F T と、E L 素子とをそれぞれ有し、

10 前記 E L 素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられた E L 層とを有しており、

前記スイッチング用 T F T が有するゲート電極は前記第 1 のゲート信号線と接続されており、

前記スイッチング用 T F T が有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

20 前記消去用 T F T が有するゲート電極は前記第 2 のゲート信号線と接続されており、

前記消去用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記 E L 駆動用 T F T が有するゲート電極と接続されており、

前記 E L 駆動用 T F T が有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記 E L 素子が有する画素電極に接続されており、

30 1 フレーム期間内に n 個の書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ と、 $(m-1)$ 個の消去期間 $T e_1$ 、 $T e_2$ 、 \dots 、 $T e_{(m-1)}$ (m は 2 から n までの任意の数) とが設けられており、

前記書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、

前記消去期間 $T e_1$ 、 $T e_2$ 、 \dots 、 $T e_{(m-1)}$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記 n 個の書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ のうち、書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_m$ と、前記消去期間 $T e_1$ 、 $T e_2$ 、 \dots 、 $T e_{(m-1)}$ とはそれぞれ互いに一部重なっており、

前記 n 個の書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ のうちの書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_{(m-1)}$ のそれぞれが開始されてから、前記消去期間 $T e_1$ 、 $T e_2$ 、 \dots 、 $T e_{(m-1)}$ のそれぞれが開始されるまでの期間が、表示期間 $T r_1$ 、 $T r_2$ 、 \dots 、 $T r_{(m-1)}$ であり、

前記消去期間 $T e_1$ 、 $T e_2$ 、 \dots 、 $T e_{(m-1)}$ のそれぞれが開始されてから、前記 n 個の書き込み期間 $T a_1$ 、 $T a_2$ 、 \dots 、 $T a_n$ のうちの書き込み期間 $T a_1$ 、

Ta2、…、Tamのそれぞれが開始されるまでの期間が、非表示期間Td1、Td2、…、Tdnであり、前記n個の書き込み期間Ta1、Ta2、…、Tanのうちの書き込み期間Tam、Ta(m+1)、…、Tanのそれぞれが開始されてから、前記各書き込み期間Tam、Ta(m+1)、…、Tanの次の書き込み期間のそれぞれが開始されるまでの期間が表示期間Trm、Tr(m+1)、…、Trnであり、前記デジタルデータ信号によって、前記表示期間Tr1、Tr2、…、Trnにおいて前記複数のEL素子が10 発光するか発光しないかが選択され、前記n個の書き込み期間Ta1、Ta2、…、Tanと、前記(m-1)個の消去期間Te1、Te2、…、Te(m-1)の長さは全て同じであり、前記表示期間Tr1、Tr2、…、Trnの長さの比は、 $2^0 : 2^1 : \dots : 2^{(m-1)}$ で表されることを特徴とする発光装置。

【請求項9】ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソ10 ス信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線と、前記第2のゲート信号線駆動回路に接続された複数の第2のゲート信号線と、電源供給線とを有する発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、スイッチング用TFETと、EL駆動用TFETと、消去用TFETと、EL素子とをそれぞれ有し、前記スイッチング用TFETが有するゲート電極は前記第1のゲート信号線と接続されており、前記スイッチング用TFETが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFETが有するゲート電極と接続されてお15 っており、

前記消去用TFETが有するゲート電極は前記第2のゲート信号線と接続されており、前記消去用TFETが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFETが有するゲート電極と接続されており、前記EL駆動用TFETが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接20 続されており、

1フレーム期間内にn個の書き込み期間Ta1、Ta2、…、Tanと、(m-1)個の消去期間Te1、Te2、…、Te(m-1)(mは2からnまでの任意の数)とが設けられており、

前記書き込み期間Ta1、Ta2、…、Tanにおいて、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入25 力され、

前記消去期間Te1、Te2、…、Te(m-1)において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、

前記n個の書き込み期間Ta1、Ta2、…、Tanのうち、書き込み期間Ta1、Ta2、…、Tamと、前記消去期間Te1、Te2、…、Te(m-1)とはそれぞれ互いに一部重なっており、

前記n個の書き込み期間Ta1、Ta2、…、Tanのうちの書き込み期間Ta1、Ta2、…、Ta(m-1)のそれぞれが開始されてから、前記消去期間Te1、Te2、…、Te(m-1)のそれぞれが開始されるまでの期間が、表示期間Tr1、Tr2、…、Tr(m-1)であり、

前記消去期間Te1、Te2、…、Te(m-1)のそれぞれが開始されてから、前記n個の書き込み期間Ta1、Ta2、…、Tanのうちの書き込み期間Ta1、Ta2、…、Tamのそれぞれが開始されるまでの期間が、非表示期間Td1、Td2、…、Tdnであり、前記n個の書き込み期間Ta1、Ta2、…、Tanの30 うちの書き込み期間Tam、Ta(m+1)、…、Tanのそれぞれが開始されてから、前記各書き込み期間Tam、Ta(m+1)、…、Tanの次の書き込み期間のそれぞれが開始されるまでの期間が表示期間Trm、Tr(m+1)、…、Trnであり、

前記デジタルデータ信号によって、前記表示期間Tr1、Tr2、…、Trnにおいて前記複数のEL素子が発光するか発光しないかが選択され、

前記n個の書き込み期間Ta1、Ta2、…、Tanと、前記(m-1)個の消去期間Te1、Te2、…、Te(m-1)の長さは全て同じであり、

前記表示期間Tr1、Tr2、…、Trnの長さの比は、 $2^0 : 2^1 : \dots : 2^{(m-1)}$ で表され、

前記表示期間Tr1、Tr2、…、Trnが出現する順序がランダムであることを特徴とする発光装置。

【請求項10】ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソ40 ス信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線と、前記第2のゲート信号線駆動回路に接続された複数の第2のゲート信号線と、一定の電位に保たれた電源供給線とを有する発光装置であって、

前記画素部は複数の画素を有しており、

前記複数の画素は、スイッチング用TFETと、EL駆動用TFETと、消去用TFETと、EL素子とをそれぞれ有し、

前記EL素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられたEL層とを有しており、

50 前記スイッチング用TFETが有するゲート電極は前記第

1のゲート信号線と接続されており、
 前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、
 前記消去用TFTが有するゲート電極は前記第2のゲート信号線と接続されており、
 前記消去用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、
 前記EL駆動用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子が有する画素電極に接続されており、
 1フレーム期間内にn個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ (m は2から n までの任意の数)とが設けられており、
 前記書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} において、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、
 前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、
 前記n個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうち、書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{am} と、前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ とはそれぞれ互いに一部重なっており、
 前記n個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 $T_{a(m-1)}$ のそれぞれが開始されてから、前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ のそれぞれが開始されるまでの期間が、表示期間 T_{r1} 、 T_{r2} 、 \dots 、 $T_{r(m-1)}$ であり、
 前記消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ のそれぞれが開始されてから、前記n個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{am} のそれぞれが開始されるまでの期間が、非表示期間 T_{d1} 、 T_{d2} 、 \dots 、 T_{dn} であり、
 前記n個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} のうちの書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} のそれぞれが開始されてから、前記各書き込み期間 T_{am} 、 $T_{a(m+1)}$ 、 \dots 、 T_{an} の次の書き込み期間のそれぞれが開始されるまでの期間が表示期間 T_{rm} 、 $T_{r(m+1)}$ 、 \dots 、 T_{rn} であり、
 前記デジタルデータ信号によって、前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} において前記複数のEL素子が発光するか発光しないかが選択され、
 前記n個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} と、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、

$T_{e(m-1)}$ の長さは全て同じであり、
 前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} の長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表され、
 前記表示期間 T_{r1} 、 T_{r2} 、 \dots 、 T_{rn} が出現する順序がランダムであることを特徴とする発光装置。
 【請求項11】請求項8または請求項10において、前記EL層は低分子系有機物質またはポリマー系有機物質であることを特徴とする発光装置。
 【請求項12】請求項11において、前記低分子系有機物質は、Alq₃ (トリス-8-キノリライト-アルミニウム) またはTPD (トリフェニルアミン誘導体) からなることを特徴とする発光装置。
 【請求項13】請求項11において、前記ポリマー系有機物質は、PPV (ポリフェニレンビニレン)、PVK (ポリビニルカルバゾール) またはポリカーボネートからなることを特徴とする発光装置。
 【請求項14】請求項7乃至請求項13のいずれか1項において、前記n個の書き込み期間 T_{a1} 、 T_{a2} 、 \dots 、 T_{an} は互いに重なっていないことを特徴とする発光装置。
 【請求項15】請求項7乃至請求項14のいずれか1項において、前記 $(m-1)$ 個の消去期間 T_{e1} 、 T_{e2} 、 \dots 、 $T_{e(m-1)}$ は互いに重なっていないことを特徴とする発光装置。
 【請求項16】請求項1乃至請求項15のいずれか1項において、前記スイッチング用TFT、前記EL駆動用TFT及び前記消去用TFTはnチャンネル型TFTまたはpチャンネル型TFTであることを特徴とする発光装置。
 【請求項17】請求項1乃至請求項16のいずれか1項において、前記EL駆動用TFTは、前記EL駆動用TFTが有するゲート電極に前記電源供給線の電位が与えられるとオフの状態になることを特徴とする発光装置。
 【請求項18】ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部とを有する発光装置であって、
 前記画素部は複数の画素を有し、
 前記複数の画素は複数のEL素子を有し、
 前記ソース信号線駆動回路から出力されるデジタルデータ信号、前記第1のゲート信号線駆動回路から出力される第1の選択信号及び前記第2のゲート信号線駆動回路から出力される第2の選択信号によって、前記複数のEL素子の駆動がそれぞれ制御されることを特徴とする発光装置。
 【請求項19】ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部とを有する発光装置であって、
 前記画素部は複数の画素を有し、
 前記複数の画素は複数のEL素子を有し、
 前記ソース信号線駆動回路から出力されるデジタルデー

タ信号、前記第1のゲート信号線駆動回路から出力される第1の選択信号及び前記第2のゲート信号線駆動回路から出力される第2の選択信号によって前記EL素子の発光する時間が制御されることで階調表示が行われることを特徴とする発光装置。

【請求項20】請求項1乃至請求項19のいずれか1項に記載の前記発光装置を用いることを特徴とするコンピュータ。

【請求項21】請求項1乃至請求項19のいずれか1項に記載の前記発光装置を用いることを特徴とするビデオカメラ。

【請求項22】請求項1乃至請求項19のいずれか1項に記載の前記発光装置を用いることを特徴とするDVDプレーヤー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はEL（エレクトロルミネッセンス）素子を基板上に作り込んで形成された電子ディスプレイに関する。特に半導体素子（半導体薄膜を用いた素子）を用いたELディスプレイ（発光装置）に関する。またELディスプレイを表示部に用いた電子機器に関する。

【0002】

【従来の技術】近年、基板上にTFTを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたTFTは、従来のアモルファスシリコン膜を用いたTFTよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来の、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの増加、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【0004】そしてさらに、自発光型素子としてEL素子を有したアクティブマトリクス型のELディスプレイの研究が活発化している。ELディスプレイは有機ELディスプレイ（OLED:Organic EL Display）又は有機ライトエミッシングダイオード（OLED:Organic Light Emitting Diode）とも呼ばれている。

【0005】ELディスプレイは、液晶ディスプレイと異なり自発光型である。EL素子是一对の電極（陽極と陰極）間にEL層が挟まれた構造となっており、またEL層は通常積層構造となっている。代表的には、イーストマン・コダック・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているELディスプレイは殆どこの構造

を採用している。

【0006】また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【0007】本明細書において陰極と陽極の間に設けられる全ての層を総称してEL層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てEL層に含まれる。

【0008】そして、上記構造でなるEL層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書においてEL素子が発光することを、EL素子が駆動すると呼ぶ。また、本明細書中では、陽極、EL層及び陰極で形成される発光素子をEL素子と呼ぶ。

【0009】ELディスプレイの駆動方法として、アナログ方式の駆動方法（アナログ駆動）が挙げられる。ELディスプレイのアナログ駆動について、図18及び図19を用いて説明する。

【0010】図18にアナログ駆動のELディスプレイの画素部の構造を示す。ゲート信号線駆動回路からの選択信号を入力するゲート信号線（G1～Gy）は、各画素が有するスイッチング用TFT1801のゲート電極に接続されている。また各画素の有するスイッチング用TFT1801のソース領域とドレイン領域は、一方がアナログのビデオ信号を入力するソース信号線（データ信号線ともいう）S1～Sxに、もう一方が各画素が有するEL駆動用TFT1804のゲート電極及び各画素が有するコンデンサ1808にそれぞれ接続されている。

【0011】各画素が有するEL駆動用TFT1804のソース領域とドレイン領域はそれぞれ、一方は電源供給線（V1～Vx）に、もう一方はEL素子1806に接続されている。電源供給線（V1～Vx）の電位を電源電位と呼ぶ。また電源供給線（V1～Vx）は、各画素が有するコンデンサ1808に接続されている。

【0012】EL素子1806は陽極と、陰極と、陽極と陰極との間に設けられたEL層とを有する。EL素子1806の陽極がEL駆動用TFT1804のソース領域またはドレイン領域と接続している場合、EL素子1806の陽極が画素電極、陰極が対向電極となる。逆にEL素子1806の陰極がEL駆動用TFT1804のソース領域またはドレイン領域と接続している場合、EL素子1806の陽極が対向電極、陰極が画素電極となる。

【0013】なお本明細書において、対向電極の電位を対向電位と呼ぶ。なお対向電極に対向電位を与える電源を対向電源と呼ぶ。画素電極の電位と対向電極の電位の電位差がEL駆動電圧であり、このEL駆動電圧がEL

層にかかる。

【0014】図18で示したELディスプレイを、アナログ方式で駆動させた場合のタイミングチャートを図19に示す。1つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を1ライン期間(L)と呼ぶ。また1つの画像が表示されてから次の画像が表示されるまでの期間が1フレーム期間

(F)に相当する。図18のELディスプレイの場合、ゲート信号線はy本あるので、1フレーム期間中にy個のライン期間(L1~Ly)が設けられている。

【0015】解像度が高くなるにつれて1フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならなくなる。

【0016】まず電源電圧線(V1~Vx)は一定の電源電位に保たれている。そして対向電極の電位である対向電位も一定の電位に保たれている。対向電位は、EL素子が発光する程度に電源電位との間に電位差を有している。

【0017】第1のライン期間(L1)においてゲート信号線G1にはゲート信号線駆動回路からの選択信号が10 入力される。そして、ソース信号線S1~Sxに順にアナログのビデオ信号が入力される。ゲート信号線G1に接続された全てのスイッチング用TFTはオンの状態になるので、ソース信号線に入力されたアナログのビデオ信号は、スイッチング用TFTを介してEL駆動用TFTのゲート電極に入力される。

【0018】EL駆動用TFTのチャネル形成領域を流れる電流の量は、そのゲート電極に入力される信号の電位の高さ(電圧)によって制御される。よって、EL素子の画素電極にかかる電位は、EL駆動用TFTのゲート電極に入力されたアナログのビデオ信号の電位の高さによって決まる。そしてEL素子はアナログのビデオ信号の電位に制御されて発光を行う。

【0019】上述した動作を繰り返し、にソース信号線S1~Sxへのアナログのビデオ信号の入力が終了すると、第1のライン期間(L1)が終了する。なお、ソース信号線S1~Sxへのアナログのビデオ信号の入力が終了するまでの期間と水平帰線期間とを合わせて1つのライン期間としても良い。そして次に第2のライン期間(L2)となりゲート信号線G2に選択信号が入力される。そして第1のライン期間(L1)と同様にソース信号線S1~Sxに順にアナログのビデオ信号が入力される。

【0020】そして全てのゲート信号線(G1~Gy)に選択信号が入力されると、全てのライン期間(L1~Ly)が終了する。全てのライン期間(L1~Ly)が終了すると、1フレーム期間が終了する。1フレーム期間中において全ての画素が表示を行い、1つの画像が形成される。なお全てのライン期間(L1~Ly)と垂直帰線期間とを合わせて1フレーム期間としても良い。

【0021】以上のように、アナログのビデオ信号によってEL素子の発光量が制御され、その発光量の制御によって階調表示がなされる。この方式はいわゆるアナログ駆動方法と呼ばれる駆動方式であり、ソース信号線に1 入力されるアナログのビデオ信号の電位の変化で階調表示が行われる。

【0022】

【発明が解決しようとする課題】EL素子に供給される電流量がEL駆動用TFTのゲート電圧によって制御される様子を図20を用いて詳しく説明する。

【0023】図20(A)はEL駆動用TFTのトランジスタ特性を示すグラフであり、401は $I_{DS}-V_{GS}$ 特性(又は $I_{DS}-V_{GS}$ 曲線)と呼ばれている。ここで I_{DS} はドレイン電流であり、 V_{GS} はゲート電圧である。このグラフにより任意のゲート電圧に対して流れる電流量を知ることができる。

【0024】通常、EL素子を駆動するにあたって、上記 $I_{DS}-V_{GS}$ 特性の点線402で示した領域を用いる。402で囲んだ領域の拡大図を図20(B)に示す。

20 【0025】図20(B)において、斜線で示す領域は飽和領域と呼ばれている。実際にはしきい値電圧

(V_{TH})近傍又はそれ以下のゲート電圧である領域を指し、この領域ではゲート電圧の変化に対して指数関数的にドレイン電流が変化する。この領域を使ってゲート電圧による電流制御を行う。

【0026】スイッチング用TFTがオンとなって画素内に入力されたアナログのビデオ信号は、EL駆動用TFTのゲート電圧となる。このとき、図20(A)に示した $I_{DS}-V_{GS}$ 特性に従ってゲート電圧に対してドレイン電流が1対1で決まる。即ち、EL駆動用TFTのゲート電極に入力されるアナログのビデオ信号の電圧に対応して、ドレイン領域の電位(オンのEL駆動電位)が定まり、所定のドレイン電流がEL素子に流れ、その電流量に対応した発光量で前記EL素子が発光する。

【0027】以上のように、ビデオ信号によってEL素子の発光量が制御され、その発光量の制御によって階調表示がなされる。

【0028】しかしながら、上記アナログ駆動はTFTの特性バラツキに非常に弱いという欠点がある。例えばスイッチング用TFTの $I_{DS}-V_{GS}$ 特性が同じ階調を表示する隣接画素のスイッチング用TFTと異なる場合(全体的にプラス又はマイナス側へシフトした場合)を想定する。

【0029】その場合、各スイッチング用TFTのドレイン電流はバラツキの程度にもよるが異なるものとなり、各画素のEL駆動用TFTには異なるゲート電圧がかかることになる。即ち、各EL素子に対して異なる電流が流れ、結果として異なる発光量となり、同じ階調表示を行えなくなる。

50 【0030】また、仮に各画素のEL駆動用TFTに等

しいゲート電圧がかかったとしても、EL駆動用TFTの $I_{DS}-V_{GS}$ 特性にバラツキがあれば、同じドレイン電流を出力することはできない。さらに、図20(A)からも明らかなようにゲート電圧の変化に対して指数関数的にドレイン電流が変化するような領域を使っているため、 $I_{DS}-V_{GS}$ 特性が僅かでもずれば、等しいゲート電圧がかかっても出力される電流量は大きく異なるといった事態が生じる。こうなってしまうと、僅かな $I_{DS}-V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまう。

【0031】実際には、スイッチング用TFTとEL駆動用TFTとの、両者のバラツキの相乗効果となるので条件的にはさらに厳しい。このように、アナログ駆動はTFTの特性バラツキに対して極めて敏感であり、その点が従来のアクティブマトリクス型のELディスプレイの階調表示における障害となっていた。

【0032】本発明は上記問題点を鑑みてなされたものであり、鮮明な多階調表示の可能なアクティブマトリクス型のEL表示装置を提供することを課題とする。そして、そのようなアクティブマトリクス型ELディスプレイを表示用ディスプレイとして具備する高性能な電子機器（電子デバイス）を提供することを課題とする。

【0033】

【課題を解決するための手段】本発明者は、アナログ駆動の問題は、ゲート電圧の変化に対してドレイン電流が指数関数的に変化するために $I_{DS}-V_{GS}$ 特性のばらつきの影響を受けやすい飽和領域を用いてEL素子に流れる電流量を制御していることに起因すると考えた。

【0034】即ち、 $I_{DS}-V_{GS}$ 特性のばらつきがあった場合に、飽和領域はゲート電圧の変化に対してドレイン電流が指数関数的に変化するため、等しいゲート電圧がかかっても異なる電流（ドレイン電流）が出力されてしまい、その結果、所望の階調が得られないという不具合が生じるのである。

【0035】そこで本発明者は、EL素子の発する光の量の制御を、飽和領域を用いた電流の制御により行うのではなく、主にEL素子が発光する時間の制御によって行うことを考えた。つまり本発明ではEL素子の発する光の量を時間で制御し、階調表示を行う。EL素子の発光時間を制御することで階調表示を行う時分割方式の駆動方法（以下、デジタル駆動という）と呼ぶ。なお時分割方式の駆動方法によって行われる階調表示を時分割階調表示と呼ぶ。

【0036】上記構成によって本発明では、TFTによって $I_{DS}-V_{GS}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS}-V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態

を避けることが可能になる。

【0037】以下に、本発明の構成を示す。

【0038】本発明によって、ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部とを有する発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、EL素子と、前記EL素子の発光をそれぞれ制御するEL駆動用TFTと、前記EL駆動用TFTの駆動を制御するスイッチング用TFT及び消去用TFTとを有し、前記第1のゲート信号線駆動回路によって前記スイッチング用TFTの駆動が制御され、前記第2のゲート信号線駆動回路によって前記消去用TFTの駆動が制御され、前記複数のEL素子の発光する時間を制御することで階調表示を行うことを特徴とする発光装置が提供される。

【0039】本発明によって、ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線と、前記第2のゲート信号線駆動回路に接続された複数の第2のゲート信号線と、電源供給線とを有する発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、消去用TFTと、EL素子とをそれぞれ有し、前記スイッチング用TFTが有するゲート電極は前記第1のゲート信号線と接続されており、前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記消去用TFTが有するゲート電極は前記第2のゲート信号線と接続されており、前記消去用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記EL駆動用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接続されていることを特徴とする発光装置が提供される。

【0040】本発明によって、ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線と、前記第2のゲート信号線駆動回路に接続された複数の第2のゲート信号線と、一定の電位に保たれた電源供給線とを有する発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、消去用TFTと、EL素子とをそれぞれ有し、前記EL素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記

対向電極の間に設けられたEL層とを有しており、前記スイッチング用TFTが有するゲート電極は前記第1のゲート信号線と接続されており、前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記消去用TFTが有するゲート電極は前記第2のゲート信号線と接続されており、前記消去用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記EL駆動用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子が有する画素電極に接続されていることを特徴とする発光装置が提供される。

【0041】本発明によって、ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線と、前記第2のゲート信号線駆動回路に接続された複数の第2のゲート信号線と、電源供給線とを有する発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、消去用TFTと、EL素子とをそれぞれ有し、前記スイッチング用TFTが有するゲート電極は前記第1のゲート信号線と接続されており、前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記消去用TFTが有するゲート電極は前記第2のゲート信号線と接続されており、前記消去用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記EL駆動用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接続されており、1フレーム期間内にn個の書き込み期間Ta1、Ta2、…、Tanと、

(m-1)個の消去期間Te1、Te2、…、Te(m-1)(mは2からnまでの任意の数)とが設けられており、前記書き込み期間Ta1、Ta2、…、Tanにおいて、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、前記消去期間Te1、Te2、…、Te(m-1)において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、前記n個の書き込み期間Ta1、Ta2、…、Tamと、前記消去期間Te1、Te2、…、Te(m-1)とはそれぞれ互いに一部重なっており、前記n個の書き込み期間Ta1、Ta2、…、Tanのうちの書き込み期間Ta1、Ta2、

…、Ta(m-1)のそれぞれが開始されてから、前記消去期間Te1、Te2、…、Te(m-1)のそれぞれが開始されるまでの期間が、表示期間Tr1、Tr2、…、Tr(m-1)であり、前記消去期間Te1、Te2、…、Te(m-1)のそれぞれが開始されてから、前記n個の書き込み期間Ta1、Ta2、…、Tanのうちの書き込み期間Ta1、Ta2、…、Tamのそれぞれが開始されるまでの期間が、非表示期間Td1、Td2、…、Tdnであり、前記n個の書き込み期間Ta1、Ta2、…、Tanのうちの書き込み期間Tam、Ta(m+1)、…、Tanのそれぞれが開始されてから、前記各書き込み期間Tam、Ta(m+1)、…、Tanの次の書き込み期間のそれぞれが開始されるまでの期間が表示期間Trm、Tr(m+1)、…、Trnであり、前記デジタルデータ信号によって、前記表示期間Tr1、Tr2、…、Trnにおいて前記複数のEL素子が発光するか発光しないかが選択され、前記n個の書き込み期間Ta1、Ta2、…、Tanと、前記(m-1)個の消去期間Te1、Te2、…、Te(m-1)の長さは全て同じであり、前記表示期間Tr1、Tr2、…、Trnの長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表されることを特徴とする発光装置が提供される。

【0042】本発明によって、ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線と、前記第2のゲート信号線駆動回路に接続された複数の第2のゲート信号線と、一定の電位に保たれた電源供給線とを有する発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、消去用TFTと、EL素子とをそれぞれ有し、前記EL素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられたEL層とを有しており、前記スイッチング用TFTが有するゲート電極は前記第1のゲート信号線と接続されており、前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記消去用TFTが有するゲート電極は前記第2のゲート信号線と接続されており、前記消去用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記EL駆動用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子が有する画素電極に接続されており、1フレーム期間内にn個の書き込み期間Ta1、Ta2、…、Tanと、(m-1)個の消去期間Te1、Te2、…、

Te (m-1) (mは2からnまでの任意の数) とが設けられており、前記書き込み期間Ta1、Ta2、…、Tanにおいて、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、前記消去期間Te1、Te2、…、Te (m-1) において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、前記n個の書き込み期間Ta1、Ta2、…、Tanのうち、書き込み期間Ta1、Ta2、…、Tamと、前記消去期間Te1、Te2、…、Te (m-1) とはそれぞれ互いに一部重なっており、前記n個の書き込み期間Ta1、Ta2、…、Tanのうちの書き込み期間Ta1、Ta2、…、Ta (m-1) のそれぞれが開始されてから、前記消去期間Te1、Te2、…、Te (m-1) のそれぞれが開始されるまでの期間が、表示期間Tr1、Tr2、…、Tr (m-1) であり、前記消去期間Te1、Te2、…、Te (m-1) のそれぞれが開始されてから、前記n個の書き込み期間Ta1、Ta2、…、Tanのうちの書き込み期間Ta1、Ta2、…、Tamのそれぞれが開始されるまでの期間が、非表示期間Td1、Td2、…、Tdnであり、前記n個の書き込み期間Ta1、Ta2、…、Tanのうちの書き込み期間Tam、Ta (m+1)、…、Tanのそれぞれが開始されてから、前記各書き込み期間Tam、Ta (m+1)、…、Tanの次の書き込み期間のそれぞれが開始されるまでの期間が表示期間Trm、Tr (m+1)、…、Trnであり、前記デジタルデータ信号によって、前記表示期間Tr1、Tr2、…、Trnにおいて前記複数のEL素子が発光するか発光しないかが選択され、前記n個の書き込み期間Ta1、Ta2、…、Tanと、前記 (m-1) 個の消去期間Te1、Te2、…、Te (m-1) の長さは全て同じであり、前記表示期間Tr1、Tr2、…、Trnの長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表されることを特徴とする発光装置が提供される。

【0043】本発明によって、ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線と、前記第2のゲート信号線駆動回路に接続された複数の第2のゲート信号線と、電源供給線とを有する発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、スイッチング用TFETと、EL駆動用TFETと、消去用TFETと、EL素子とをそれぞれ有し、前記スイッチング用TFETが有するゲート電極は前記第1のゲート信号線と接続されており、前記スイッチング用TFETが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFETが有するゲート電極と接続されており、前記

消去用TFETが有するゲート電極は前記第2のゲート信号線と接続されており、前記消去用TFETが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFETが有するゲート電極と接続されており、前記EL駆動用TFETが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子に接続されており、1フレーム期間内にn個の書き込み期間Ta1、Ta2、…、Tanと、(m-1) 個の消去期間Te1、Te2、…、Te (m-1) (mは2からnまでの任意の数) とが設けられており、前記書き込み期間Ta1、Ta2、…、Tanにおいて、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、前記消去期間Te1、Te2、…、Te (m-1) において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、前記n個の書き込み期間Ta1、Ta2、…、Tanのうち、書き込み期間Ta1、Ta2、…、Tamと、前記消去期間Te1、Te2、…、Te (m-1) とはそれぞれ互いに一部重なっており、前記n個の書き込み期間Ta1、Ta2、…、Tanのうちの書き込み期間Ta1、Ta2、…、Ta (m-1) のそれぞれが開始されてから、前記消去期間Te1、Te2、…、Te (m-1) のそれぞれが開始されるまでの期間が、表示期間Tr1、Tr2、…、Tr (m-1) であり、前記消去期間Te1、Te2、…、Te (m-1) のそれぞれが開始されてから、前記n個の書き込み期間Ta1、Ta2、…、Tanのうちの書き込み期間Ta1、Ta2、…、Tamのそれぞれが開始されるまでの期間が、非表示期間Td1、Td2、…、Tdnであり、前記n個の書き込み期間Ta1、Ta2、…、Tanのうちの書き込み期間Tam、Ta (m+1)、…、Tanのそれぞれが開始されてから、前記各書き込み期間Tam、Ta (m+1)、…、Tanの次の書き込み期間のそれぞれが開始されるまでの期間が表示期間Trm、Tr (m+1)、…、Trnであり、前記デジタルデータ信号によって、前記表示期間Tr1、Tr2、…、Trnにおいて前記複数のEL素子が発光するか発光しないかが選択され、前記n個の書き込み期間Ta1、Ta2、…、Tanと、前記 (m-1) 個の消去期間Te1、Te2、…、Te (m-1) の長さは全て同じであり、前記表示期間Tr1、Tr2、…、Trnの長さの比は、 $2^0 : 2^1 : \dots : 2^{(n-1)}$ で表され、前記表示期間Tr1、Tr2、…、Trnが出現する順序がランダムであることを特徴とする発光装置が提供される。

【0044】本発明によって、ソース信号線駆動回路と、第1のゲート信号線駆動回路と、第2のゲート信号線駆動回路と、画素部と、前記ソース信号線駆動回路に接続された複数のソース信号線と、前記第1のゲート信号線駆動回路に接続された複数の第1のゲート信号線

と、前記第2のゲート信号線駆動回路に接続された複数の第2のゲート信号線と、一定の電位に保たれた電源供給線とを有する発光装置であって、前記画素部は複数の画素を有しており、前記複数の画素は、スイッチング用TFTと、EL駆動用TFTと、消去用TFTと、EL素子とをそれぞれ有し、前記EL素子は、画素電極と、一定の電位に保たれた対向電極と、前記画素電極と前記対向電極の間に設けられたEL層とを有しており、前記スイッチング用TFTが有するゲート電極は前記第1のゲート信号線と接続されており、前記スイッチング用TFTが有するソース領域とドレイン領域は、一方は前記複数のソース信号線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記消去用TFTが有するゲート電極は前記第2のゲート信号線と接続されており、前記消去用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線と、もう一方は前記EL駆動用TFTが有するゲート電極と接続されており、前記EL駆動用TFTが有するソース領域とドレイン領域は、一方は前記電源供給線に、もう一方は前記EL素子が有する画素電極に接続されており、1フレーム期間内にn個の書き込み期間Ta1、Ta2、…、T_anと、(m-1)個の消去期間Te1、Te2、…、Te(m-1) (mは2からnまでの任意の数)とが設けられており、前記書き込み期間Ta1、Ta2、…、T_anにおいて、前記ソース信号線駆動回路から前記ソース信号線を介してデジタルデータ信号が前記複数の画素の全てに入力され、前記消去期間Te1、Te2、…、Te(m-1)において、前記複数の画素に入力された前記デジタルデータ信号が全て消去され、前記n個の書き込み期間Ta1、Ta2、…、T_anのうち、書き込み期間Ta1、Ta2、…、T_amと、前記消去期間Te1、Te2、…、Te(m-1)とはそれぞれ互いに一部重なっており、前記n個の書き込み期間Ta1、Ta2、…、T_anのうちの書き込み期間Ta1、Ta2、…、T_a(m-1)のそれぞれが開始されてから、前記消去期間Te1、Te2、…、Te(m-1)のそれぞれが開始されるまでの期間が、表示期間Tr1、Tr2、…、Tr(m-1)であり、前記消去期間Te1、Te2、…、Te(m-1)のそれぞれが開始されてから、前記n個の書き込み期間Ta1、Ta2、…、T_anのうちの書き込み期間Ta1、Ta2、…、T_amのそれぞれが開始されるまでの期間が、非表示期間Td1、Td2、…、Td_nであり、前記n個の書き込み期間Ta1、Ta2、…、T_anのうちの書き込み期間T_am、T_a(m+1)、…、T_anのそれぞれが開始されてから、前記各書き込み期間T_am、T_a(m+1)、…、T_anの次の書き込み期間のそれぞれが開始されるまでの期間が表示期間Tr_m、Tr(m+1)、…、Tr_nであり、前記デジタルデータ信号によって、前記表示期間Tr1、Tr2、…、Tr_nにおい

て前記複数のEL素子が発光するか発光しないかが選択され、前記n個の書き込み期間Ta1、Ta2、…、T_anと、前記(m-1)個の消去期間Te1、Te2、…、Te(m-1)の長さは全て同じであり、前記表示期間Tr1、Tr2、…、Tr_nの長さの比は、2⁰:2¹:…、2⁽ⁿ⁻¹⁾で表され、前記表示期間Tr1、Tr2、…、Tr_nが出現する順序がランダムであることを特徴とする発光装置が提供される。

【0045】前記EL層は低分子系有機物質またはポリマー系有機物質であっても良い。

【0046】前記低分子系有機物質は、Alq₃ (トリス-8-キノリライト-アルミニウム) またはTPD (トリフェニルアミン誘導体) からなっているても良い。

【0047】前記ポリマー系有機物質は、PPV (ポリフェニレンビニレン)、PVK (ポリビニルカルバゾール) またはポリカーボネートからなっているても良い。

【0048】前記n個の書き込み期間Ta1、Ta2、…、T_anは互いに重なっていないても良い。

【0049】前記(m-1)個の消去期間Te1、Te2、…、Te(m-1)は互いに重なっていないても良い。

【0050】前記スイッチング用TFT、前記EL駆動用TFT及び前記消去用TFTはnチャネル型TFTまたはpチャネル型TFTであれば良い。

【0051】前記EL駆動用TFTは、前記EL駆動用TFTが有するゲート電極に前記電源供給線の電位が与えられるとオフの状態になる。

【0052】前記発光装置を用いることを特徴とするコンピュータ。

【0053】前記発光装置を用いることを特徴とするビデオカメラ。

【0054】前記発光装置を用いることを特徴とするDVDプレーヤー。

【0055】

【発明の実施の形態】以下に、本発明のELディスプレイの構造及びその駆動方法について説明する。ここではnビットのデジタルデータ信号により2ⁿ階調の表示を行う場合について説明する。

【0056】図1に本発明のELディスプレイのブロック図の一例を示す。図1のELディスプレイは、基板上に形成されたTFTによって画素部101、画素部の周辺に配置されたソース信号線駆動回路102、書き込み用ゲート信号線駆動回路 (第1のゲート信号線駆動回路) 103、消去用ゲート信号線駆動回路 (第2のゲート信号線駆動回路) 104を有している。なお、本実施の形態でELディスプレイはソース信号線駆動回路を1つ有しているが、本発明においてソース信号線駆動回路は2つ以上あってもよい。

【0057】また本発明において、ソース信号線駆動回路102、書き込み用ゲート信号線駆動回路103また

は消去用ゲート信号線駆動回路 104 は、画素部 101 が設けられている基板上に設けられている構成にしても良いし、ICチップ上に設けてFPCまたはTABを介して画素部 101 と接続されるような構成にしても良い。

【0058】ソース信号線駆動回路 102 は基本的にシフトレジスタ 102a、ラッチ (A) 102b、ラッチ (B) 102c を有している。

【0059】ソース信号線駆動回路 102 において、シフトレジスタ 102a にクロック信号 (CLK) およびスタートパルス (SP) が入力される。シフトレジスタ 102a は、これらのクロック信号 (CLK) およびスタートパルス (SP) に基づきタイミング信号を順に発生させ、バッファ等 (図示せず) を通して後段の回路へタイミング信号を順次供給する。

【0060】シフトレジスタ 102a からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量 (寄生容量) が大きい。この負荷容量が大きいため生ずるタイミング信号の立ち上がりまたは立ち下りの“鈍り”を防ぐために、このバッファが設けられる。

【0061】バッファによって緩衝増幅されたタイミング信号は、ラッチ (A) 102b に供給される。ラッチ (A) 102b は、n ビットデジタルデータ信号 (n bit digital data signals) を処理する複数のステージのラッチを有している。ラッチ (A) 102b は、前記タイミング信号が入力されると、時分割階調データ信号発生回路 106 から供給される n ビットデジタルデータ信号を順次取り込み、保持する。

【0062】なお、ラッチ (A) 102b にデジタルデータ信号を取り込む際に、ラッチ (A) 102b が有する複数のステージのラッチに、順にデジタルデータ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ (A) 102b が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルデータ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動すると言う。

【0063】ラッチ (A) 102b の全てのステージのラッチにデジタルデータ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ (A) 102b 中で一番左側のステージのラッチにデジタルデータ信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタルデータ信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0064】1 ライン期間が終了すると、ラッチ (B) 102c にラッチシグナル (LatchSignal) が供給される。この瞬間、ラッチ (A) 102b に書き込まれ保持されているデジタルデータ信号は、ラッチ (B) 102c に一斉に送出され、ラッチ (B) 102c の全ステージのラッチに書き込まれ、保持される。

【0065】デジタルデータ信号をラッチ (B) 102c に送出し終えたラッチ (A) 102b には、シフトレジスタ 102a からのタイミング信号に基づき、再び時分割階調データ信号発生回路 106 から供給されるデジタルデータ信号の書き込みが順次行われる。

【0066】この 2 順目の 1 ライン期間中には、ラッチ (B) 102c に書き込まれ、保持されているデジタルデータ信号がソース信号線に入力される。

【0067】一方、書き込み用ゲート信号線駆動回路 103 及び消去用ゲート信号線駆動回路 104 は、それぞれシフトレジスタ、バッファ (いずれも図示せず) を有している。また場合によっては、書き込み用ゲート信号線駆動回路 103 及び消去用ゲート信号線駆動回路 104 が、シフトレジスタ、バッファの他にレベルシフトを有していても良い。

【0068】書き込み用ゲート信号線駆動回路 103 及び消去用ゲート信号線駆動回路 104 において、シフトレジスタ (図示せず) からのタイミング信号がバッファ (図示せず) に供給され、対応するゲート信号線 (走査線とも呼ぶ) に供給される。ゲート信号線には、1 ライン分の画素 TFT のゲート電極が接続されており、1 ライン分全ての画素 TFT を同時に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0069】時分割階調データ信号発生回路 106 においては、アナログまたはデジタルのビデオ信号 (画像情報を含む信号) が時分割階調を行うためのデジタルデータ信号 (Digital Data Signals) に変換され、ラッチ (A) 102b に入力される。またこの時分割階調データ信号発生回路 106 は、時分割階調表示を行うために必要なタイミングパルス等を発生させる回路でもある。

【0070】この時分割階調データ信号発生回路 106 は、本発明の EL ディスプレイの外部に設けられても良い。その場合、そこで形成されたデジタルデータ信号が本発明の EL ディスプレイに入力される構成となる。この場合、本発明の EL ディスプレイを表示ディスプレイとして有する電子機器 (EL 表示装置) は、本発明の EL ディスプレイと時分割階調データ信号発生回路を別の部品として含むことになる。

【0071】また、時分割階調データ信号発生回路 106 を IC チップなどの形で本発明の EL ディスプレイに実装しても良い。その場合、その IC チップで形成されたデジタルデータ信号が本発明の EL ディスプレイに入

力される構成となる。この場合、本発明のELディスプレイをディスプレイとして有する電子機器は、時分割階調データ信号発生回路を含むICチップを実装した本発明のELディスプレイを部品として含むことになる。

【0072】また最終的には、時分割階調データ信号発生回路106を画素部101、ソース信号線駆動回路102、書き込み用ゲート信号線駆動回路103、消去用ゲート信号線駆動回路104と同一の基板上にTFTを用いて形成しうる。この場合、ELディスプレイに画像情報を含むビデオ信号を入力すれば全て基板上で処理することができる。この場合の時分割階調データ信号発生回路はポリシリコン膜を活性層とするTFTで形成しても良い。また、この場合、本発明のELディスプレイをディスプレイとして有する電子機器は、時分割階調データ信号発生回路がELディスプレイ自体に内蔵されており、電子機器の小型化を図ることが可能である。

【0073】画素部101の拡大図を図2に示す。ソース信号線駆動回路102のラッチ(B)102cに接続されたソース信号線(S1~Sx)、FPCを介してELディスプレイの外部の電源に接続された電源供給線(V1~Vx)、書き込み用ゲート信号線駆動回路103に接続された書き込み用ゲート信号線(第1のゲート信号線)(Ga1~Gay)、消去用ゲート信号線駆動回路104に接続された消去用ゲート信号線(第2のゲート信号線)(Ge1~Gey)が画素部101に設けられている。

【0074】ソース信号線(S1~Sx)と、電源供給線(V1~Vx)と、書き込み用ゲート信号線(Ga1~Gay)と、消去用ゲート信号線(Ge1~Gey)とを備えた領域が画素105である。画素部101にはマトリクス状に複数の画素105が配列されることになる。

【0075】画素105の拡大図を図3に示す。図3において、107はスイッチング用TFTである。スイッチング用TFT107のゲート電極は、書き込み用ゲート信号線Ga(Ga1~Gayのいずれか1つ)に接続されている。スイッチング用TFT107のソース領域とドレイン領域は、一方がソース信号線S(S1~Sxのいずれか1つ)に、もう一方がEL駆動用TFT108のゲート電極、各画素が有するコンデンサ112及び消去用TFT109のソース領域又はドレイン領域にそれぞれ接続されている。

【0076】コンデンサ112はスイッチング用TFT105が非選択状態(オフ状態)にある時、EL駆動用TFT108のゲート電圧を保持するために設けられている。なお本実施の形態ではコンデンサ112を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ112を設けない構成にしても良い。

【0077】また、EL駆動用TFT108のソース領域とドレイン領域は、一方が電源供給線V(V1~Vx

のいずれか1つ)に接続され、もう一方はEL素子110に接続される。電源供給線Vはコンデンサ112に接続されている。

【0078】また消去用TFT109のソース領域とドレイン領域のうち、スイッチング用TFT107のソース領域またはドレイン領域に接続されていない方は、電源供給線Vに接続されている。そして消去用TFT109のゲート電極は、消去用ゲート信号線Ge(Ge1~Geyのいずれか1つ)に接続されている。

【0079】EL素子110は陽極と陰極と、陽極と陰極の間に設けられたEL層とからなる。陽極がEL駆動用TFT108のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極がEL駆動用TFT108のソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【0080】EL素子110の対向電極には対向電位が与えられている。また電源供給線Vは電源電位が与えられている。そして対向電位と電源電位の電位差は、電源電位が画素電極に与えられたときにEL素子が発光する程度の電位差に常に保たれている。電源電位と対向電位は、本発明のELディスプレイに、外付けのIC等により設けられた電源によって与えられる。なお対向電位を与える電源を、本明細書では特に対向電源111と呼ぶ。

【0081】現在の典型的なELディスプレイには、画素の発光する面積あたりの発光量が $200\text{cd}/\text{m}^2$ の場合、画素部の面積あたりの電流が mA/cm^2 程度必要となる。そのため特に画面サイズが大きくなると、ICに設けられた電源から与えられる電位の高さをスイッチで制御することが難しくなっていく。本発明においては、電源電位と対向電位は常に一定に保たれており、ICに設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

【0082】そして本発明において、電源電位の高さは、EL駆動用TFT108のゲート電極に電源電位が与えられたときに、EL駆動用TFT108がオフの状態となるような電位の高さであることが必要である。

【0083】スイッチング用TFT107、EL駆動用TFT108、消去用TFT109は、nチャネル型TFTでもpチャネル型TFTでもどちらでも用いることができる。またスイッチング用TFT107、EL駆動用TFT108、消去用TFT109は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【0084】次に上述した構成を有する本発明のELディスプレイの駆動方法について図4を用いて説明する。

【0085】はじめに書き込み用ゲート信号線Ga1に、書き込み用ゲート信号線駆動回路103から書き込

み用選択信号（第1の選択信号）が入力される。その結果、書き込み用ゲート信号線G a 1に接続されている全ての画素（1ライン目の画素）のスイッチング用T F T 107がオンの状態になる。

【0086】そして同時に、ソース信号線S 1～S xにソース信号線駆動回路102のラッチ（B）102cから、1ビット目のデジタルデータ信号が入力される。デジタルデータ信号はスイッチング用T F T 107を介してE L駆動用T F T 108のゲート電極に入力される。デジタルデータ信号は「0」または「1」の情報

を有しており、「0」と「1」のデジタルデータ信号は、一方がH i、一方がL oの電圧を有する信号である。【0087】本実施の形態では、デジタルデータ信号が「0」の情報を有していた場合、E L駆動用T F T 108はオフの状態となる。よってE L素子110の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルデータ信号が入力された画素が有するE L素子110は発光しない。

【0088】逆に、「1」の情報を有していた場合、E L駆動用T F T 108はオン状態となる。よってE L素子110の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルデータ信号が入力された画素が有するE L素子110は発光する。

【0089】このように、1ライン目の画素にデジタルデータ信号が入力されると同時に、E L素子110が発光、または非発光を行い、1ライン目の画素は表示を行う。画素が表示を行っている期間を表示期間T rと呼ぶ。特に1ビット目のデジタルデータ信号が画素に入力されたことで開始する表示期間をT r 1と呼ぶ。図4では説明を簡便にするために、特に1ライン目の画素の表示期間についてのみ示す。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0090】次にG a 1への書き込み用選択信号の入力が終了すると同時に、書き込み用ゲート信号線G a 2に同様に書き込み用選択信号が入力される。そして書き込み用ゲート信号線G a 2に接続されている全ての画素のスイッチング用T F T 107がオンの状態になり、2ライン目の画素にソース信号線S 1～S xから1ビット目のデジタルデータ信号が入力される。

【0091】そして順に、全ての書き込み用ゲート信号線（G a 1～G a y）に書き込み用選択信号が入力されていく。全ての書き込み用ゲート信号線（G a 1～G a y）が選択され、全てのラインの画素に1ビット目のデジタルデータ信号が入力されるまでの期間が書き込み期間T a 1である。

【0092】一方、全てのラインの画素に1ビット目のデジタルデータ信号が入力される前、言い換えると書き込み期間T a 1が終了する前に、画素への1ビット目のデジタルデータ信号の入力と並行して、消去用ゲート信号線駆動回路104からの消去用ゲート信号線G e 1へ

の消去用選択信号（第2の選択信号）の入力が行われる。

【0093】消去用ゲート信号線G e 1に消去用選択信号が入力されると、消去用ゲート信号線G e 1に接続されている全ての画素（1ライン目の画素）の消去用T F T 109がオンの状態になる。そして電源供給線（V 1～V x）の電源電位が消去用T F T 109を介してE L駆動用T F T 108のゲート電極に与えられる。

【0094】電源電位がE L駆動用T F T 108のゲート電極に与えられると、E L駆動用T F T 108はオフの状態となる。よって電源電位はE L素子110の画素電極に与えられなくなり、1ライン目の画素が有するE L素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。つまり、書き込み用ゲート信号線G a 1が書き込み用選択信号によって選択されたときからE L駆動用T F T のゲート電極が保持していたデジタルデータ信号は、E L駆動用T F T のゲート電極に電源電位が与えられることで消去される。よって1ライン目の画素が表示を行わなくなる。

【0095】画素が表示を行わない期間を非表示期間T dと呼ぶ。1ライン目の画素は、消去用ゲート信号線G e 1に消去用選択信号が入力されると同時に表示期間T r 1が終了し、非表示期間T d 1となる。

【0096】図4では説明を簡便にするために、特に1ライン目の画素の非表示期間についてのみ示す。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0097】そしてG e 1への消去用選択信号の入力が終了すると同時に、消去用ゲート信号線G e 2に消去用選択信号が入力され、同様に消去用ゲート信号線G e 2に接続されている全ての画素（2ライン目の画素）の消去用T F T 109がオンの状態になる。そして電源供給線（V 1～V x）の電源電位が消去用T F T 109を介してE L駆動用T F T 108のゲート電極に与えられる。電源電位がE L駆動用T F T 108のゲート電極に与えられると、E L駆動用T F T 108はオフの状態となる。よって電源電位はE L素子110の画素電極に与えられなくなる。その結果2ライン目の画素が有するE L素子は全て非発光の状態になり、2ライン目の画素が表示を行わなくなり、非表示の状態となる。

【0098】そして順に、全ての消去用ゲート信号線に消去用選択信号が入力されていく。全ての消去用ゲート信号線（G a 1～G a y）が選択され、全てのラインの画素が保持している1ビット目のデジタルデータ信号が消去されるまでの期間が消去期間T e 1である。

【0099】一方、全てのラインの画素が保持している1ビット目のデジタルデータ信号が消去される前、言い換えると消去期間T e 1が終了する前に、画素への1ビット目のデジタルデータ信号の消去と並行して、再び書き込み用ゲート信号線駆動回路104からの書き込み用

ゲート信号線 G a 1 への書き込み用選択信号の入力が行われる。その結果、1ライン目の画素は再び表示を行うので、非表示期間 T d 1 が終了して表示期間 T r 2 となる。

【0100】そして同様に、順に全ての書き込み用ゲート信号線が選択され、2ビット目のデジタルデータ信号が全ての画素に入力される。全てのラインの画素に2ビット目のデジタルデータ信号が入力し終わるまでの期間を、書き込み期間 T a 2 と呼ぶ。

【0101】そして一方、全てのラインの画素に2ビット目のデジタルデータ信号が入力される前、言い換えると書き込み期間 T a 2 が終了する前に、画素への2ビット目のデジタルデータ信号の入力と並行して、消去用ゲート信号線駆動回路 104 からの消去用ゲート信号線 G e 2 への消去用選択信号の入力が行われる。よって1ライン目の画素が有する E L 素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間 T r 2 は終了し、非表示期間 T d 2 となる。

【0102】そして順に、全ての消去用ゲート信号線に消去用選択信号が入力されていく。全ての消去用ゲート信号線 (G a 1 ~ G a y) が選択され、全てのラインの画素が保持している2ビット目のデジタルデータ信号が消去されるまでの期間が消去期間 T e 2 である。

【0103】上述した動作は m ビット目のデジタルデータ信号が画素に入力されるまで繰り返し行われ、表示期間 T r と非表示期間 T d とが繰り返し出現する (図 4)。表示期間 T r 1 は、書き込み期間 T a 1 が開始されてから消去期間 T e 1 が開始されるまでの期間である。また非表示期間 T d 1 は、消去期間 T e 1 が開始されてから書き込み期間 T a 2 が開始されるまでの期間である。そして表示期間 T r 2、T r 3、…、T r (m-1) と非表示期間 T d 2、T d 3、…、T d (m-1) も、表示期間 T r 1 と非表示期間 T d 1 と同様に、それぞれ書き込み期間 T a 1、T a 2、…、T a m と消去期間 T e 1、T e 2、…、T e (m-1) とによって、その期間が定められる。

【0104】そして m ビット目のデジタルデータ信号が1ライン目の画素に入力された後は、消去用ゲート信号線 G e 1 に消去用選択信号は入力されない。説明を簡便にするために、本実施の形態では $m = n - 2$ の場合を例にとって説明するが、本発明はこれに限定されないのは言うまでもない。本発明において m は、2 から n までの値を任意に選択することが可能である。

【0105】(n-2) ビット目のデジタルデータ信号が1ライン目の画素に入力されると、1ライン目の画素は表示期間 T r (n-2) となり表示を行う。そして次のビットのデジタルデータ信号が入力されるまで、(n-2) ビット目のデジタルデータ信号は画素に保持される。

【0106】そして次に (n-1) ビット目のデジタルデータ信号が1ライン目の画素に入力されると、画素に保持されていた (n-2) ビット目のデジタルデータ信号は、(n-1) ビット目のデジタルデータ信号に書き換えられる。そして1ライン目の画素は表示期間 T r (n-1) となり、表示を行う。(n-2) ビット目のデジタルデータ信号は、次のビットのデジタルデータ信号が入力されるまで画素に保持される。

【0107】上述した動作を n ビット目のデジタルデータ信号が画素に入力されるまで繰り返し行われる (図 4)。表示期間 T r (n-2) は、書き込み期間 T a (n-2) が開始されてから、書き込み期間 T a (n-1) が開始されるまでの期間である。そして表示期間 T r (n-1)、T r n も表示期間 T r (n-2) と同様に、書き込み期間 T a によって、その期間が定められる。

【0108】本発明では、全ての書き込み期間の長さの和が1フレーム期間よりも短く、なおかつ表示期間の長さを $T r 1 : T r 2 : T r 3 : \dots : T r (n-1) : T r n = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とすることが必要である。

【0109】全ての表示期間 (T r 1 ~ T r n) が終了すると、1つの画像を表示することができる。本発明の駆動方法において、1つの画像を表示する期間を1フレーム期間 (F) と呼ぶ。

【0110】そして1フレーム期間終了後は、再び書き込み用ゲート信号線 G a 1 に、書き込み用ゲート信号線駆動回路 103 から書き込み用選択信号が入力される。その結果1ビット目のデジタルデータ信号が画素に入力され、1ライン目の画素が再び表示期間 T r 1 となる。そして再び上述した動作を繰り返す。

【0111】通常の E L ディスプレイでは1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0112】表示期間 T r の長さは、 $T r 1 : T r 2 : T r 3 : \dots : T r (n-1) : T r n = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ となるように設定する。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0113】1フレーム期間中に E L 素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n = 8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、T r 1 と T r 2 において画素が発光した場合には1%の輝度が表現でき、T r 3 と T r 5 と T r 8 を選択した場合には60%の輝度が表現できる。

【0114】m ビット目のデジタルデータ信号が画素に書き込まれる書き込み期間 T a m は、表示期間 T r m の

長さよりも短いことが肝要である。よってビット数 m の値は、 $1 \sim n$ のうち、書き込み期間 T_{am} が表示期間 T_{rm} の長さよりも短くなるような値であることが必要である。

【0115】また表示期間($T_{r1} \sim T_{rn}$)は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r5} 、 T_{r2} 、...という順序で表示期間を出現させることも可能である。ただし、消去期間($T_{e1} \sim T_{en}$)が互いに重ならない順序の方がより好ましい。

【0116】なお本発明において、EL駆動用TFT108は n チャネル型TFTでも p チャネル型TFTでもどちらでも用いることが可能であるが、EL素子110の陽極が画素電極で陰極が対向電極の場合、EL駆動用TFT108は p チャネル型TFTであることが好ましい。また逆にEL素子110の陽極が対向電極で陰極が画素電極の場合、EL駆動用TFT108は n チャネル型TFTであることが好ましい。

【0117】本発明は上記構成によって、TFTによって $I_{ds} - V_{gs}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{ds} - V_{gs}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0118】また、本発明では、表示を行わない非表示期間 T_d を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、EL層の劣化をある程度抑えることができる。

【0119】なお本発明においては、表示期間と書き込み期間とが一部重なっている。言い換えると書き込み期間においても画素を表示させることが可能である。そのため、1フレーム期間における表示期間の長さの総和の割合(デューティー比)が、書き込み期間の長さによってのみ決定されない。

【0120】なお、上述した本発明の構成はELディスプレイへの適用だけに限らず、他の電気光学素子を用いた装置に適用することも可能である。また応答時間が数 $10 \mu s$ 程度以下の、高速応答する液晶が開発された場合には、液晶ディスプレイに適用することも可能である。

【0121】

【実施例】以下に、本発明の実施例について説明する。

【0122】(実施例1) 本実施例では、本発明のELディスプレイにおいて、6ビットのデジタルデータ信号により 2^6 階調の表示を行う場合について図5を用いて説明する。なお本実施例のELディスプレイは、図1～

図3に示した構造を有する。

【0123】はじめに、書き込み用ゲート信号線 G_{a1} に、書き込み用ゲート信号線駆動回路103から書き込み用選択信号が入力される。その結果、書き込み用ゲート信号線 G_{a1} に接続されている全ての画素(1ライン目の画素)のスイッチング用TFT107がオンの状態になる。

【0124】そして同時に、ソース信号線 $S_1 \sim S_x$ にソース信号線駆動回路102のラッチ(B)102cから、1ビット目のデジタルデータ信号が入力される。デジタルデータ信号はスイッチング用TFT107を介してEL駆動用TFT108のゲート電極に入力される。

【0125】本実施例では、デジタルデータ信号が「0」の情報を有していた場合、EL駆動用TFT108はオフの状態となる。よってEL素子110の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルデータ信号が入力された画素が有するEL素子110は発光しない。

【0126】逆に、「1」の情報を有していた場合、EL駆動用TFT108はオン状態となる。よってEL素子110の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルデータ信号が入力された画素が有するEL素子110は発光する。

【0127】このように1ライン目の画素は、デジタルデータ信号が入力されると同時に、EL素子110が発光、または非発光を行い、表示期間 T_{r1} となる。図5では説明を簡便にするために、特に1ライン目の画素の表示期間についてのみ示す。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0128】次に G_{a1} への書き込み用選択信号の入力が終了すると同時に、書き込み用ゲート信号線 G_{a2} に同様に書き込み用選択信号が入力される。そして書き込み用ゲート信号線 G_{a2} に接続されている全ての画素のスイッチング用TFT107がオンの状態になり、2ライン目の画素にソース信号線 $S_1 \sim S_x$ から1ビット目のデジタルデータ信号が入力される。

【0129】そして順に、全ての書き込み用ゲート信号線($G_{a1} \sim G_{ay}$)に書き込み用選択信号が入力されていく。全ての書き込み用ゲート信号線($G_{a1} \sim G_{ay}$)が選択され、全てのラインの画素に1ビット目のデジタルデータ信号が入力されるまでの期間が書き込み期間 T_{a1} である。

【0130】一方、全てのラインの画素に1ビット目のデジタルデータ信号が入力される前、言い換えると書き込み期間 T_{a1} が終了する前に、画素への1ビット目のデジタルデータ信号の入力と並行して、消去用ゲート信号線駆動回路104からの消去用ゲート信号線 G_{e1} への消去用選択信号の入力が行われる。

【0131】消去用ゲート信号線 G_{e1} に消去用選択信号が入力されると、消去用ゲート信号線 G_{e1} に接続さ

10

20

30

40

50

れている全ての画素（1ライン目の画素）の消去用TFT 109がオンの状態になる。そして電源供給線（V1～Vx）の電源電位が消去用TFT 109を介してEL駆動用TFT 108のゲート電極に与えられる。

【0132】電源電位がEL駆動用TFT 108のゲート電極に与えられると、EL駆動用TFT 108はオフの状態となる。よって電源電位はEL素子110の画素電極に与えられなくなり、1ライン目の画素が有するEL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。つまり、書き込み用ゲート信号線Ga1が書き込み用選択信号によって選択されたときからEL駆動用TFTのゲート電極が保持していたデジタルデータ信号は、EL駆動用TFTのゲート電極に電源電位が与えられることで消去される。よって1ライン目の画素が表示を行わなくなる。

【0133】1ライン目の画素は、消去用ゲート信号線Ge1に消去用選択信号が入力されると同時に表示期間Tr1が終了し、非表示期間Td1となる。

【0134】図5では説明を簡便にするために、特に1ライン目の画素の非表示期間についてのみ示す。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0135】そしてGe1への消去用選択信号の入力が終了すると同時に、消去用ゲート信号線Ge2に消去用選択信号が入力され、同様に消去用ゲート信号線Ge2に接続されている全ての画素（2ライン目の画素）の消去用TFT 109がオンの状態になる。そして電源供給線（V1～Vx）の電源電位が消去用TFT 109を介してEL駆動用TFT 108のゲート電極に与えられる。電源電位がEL駆動用TFT 108のゲート電極に与えられると、EL駆動用TFT 108はオフの状態となる。よって電源電位はEL素子110の画素電極に与えられなくなる。その結果2ライン目の画素が有するEL素子は全て非発光の状態になり、2ライン目の画素が表示を行わなくなり、非表示の状態となる。

【0136】そして順に、全ての消去用ゲート信号線に消去用選択信号が入力されていく。全ての消去用ゲート信号線（Ga1～Gay）が選択され、全てのラインの画素が保持している1ビット目のデジタルデータ信号が消去されるまでの期間が消去期間Te1である。

【0137】一方、全てのラインの画素が保持している1ビット目のデジタルデータ信号が消去される前、言い換えると消去期間Te1が終了する前に、画素への1ビット目のデジタルデータ信号の消去と並行して、再び書き込み用ゲート信号線駆動回路104からの書き込み用ゲート信号線Ga1への書き込み用選択信号の入力が行われる。その結果、1ライン目の画素は再び表示を行うので、非表示期間Td1が終了して表示期間Tr2となる。

【0138】そして同様に、順に全ての書き込み用ゲ

ト信号線が選択され、2ビット目のデジタルデータ信号が全ての画素に入力される。全てのラインの画素に2ビット目のデジタルデータ信号が入力し終わるまでの期間を、書き込み期間Ta2と呼ぶ。

【0139】そして一方、全てのラインの画素に2ビット目のデジタルデータ信号が入力される前、言い換えると書き込み期間Ta2が終了する前に、画素への2ビット目のデジタルデータ信号の入力と並行して、消去用ゲート信号線駆動回路104からの消去用ゲート信号線Ge2への消去用選択信号の入力が行われる。よって1ライン目の画素が有するEL素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間Tr2は終了し、非表示期間Td2となる。

【0140】そして順に、全ての消去用ゲート信号線に消去用選択信号が入力されていく。全ての消去用ゲート信号線（Ga1～Gay）が選択され、全てのラインの画素が保持している2ビット目のデジタルデータ信号が消去されるまでの期間が消去期間Te2である。

【0141】上述した動作は5ビット目のデジタルデータ信号が画素に入力されるまで繰り返し行われ、表示期間Trと非表示期間Tdとが繰り返し出現する（図5）。表示期間Tr1は、書き込み期間Ta1が開始されてから消去期間Te1が開始されるまでの期間である。また非表示期間Td1は、消去期間Te1が開始されてから表示期間Tr2が開始されるまでの期間である。そして表示期間Tr2、Tr3、Tr4と非表示期間Td2、Td3、Td4も、表示期間Tr1と非表示期間Td1と同様に、それぞれ書き込み期間Ta1、Ta2、…、Ta5と消去期間Te1、Te2、…、Te4とによって、その期間が定められる。

【0142】そして5ビット目のデジタルデータ信号が1ライン目の画素に入力された後は、消去用ゲート信号線Ge1に消去用選択信号は入力されない。なお本実施例において、5ビット目のデジタルデータ信号が1ライン目の画素に入力された後は、消去用ゲート信号線Ge1に消去用選択信号は入力されないが、本発明はこの値に限定されないのは言うまでもない。

【0143】5ビット目のデジタルデータ信号が1ライン目の画素に入力されると、1ライン目の画素は表示期間Tr5となり表示を行う。そして次のビットのデジタルデータ信号が入力されるまで、5ビット目のデジタルデータ信号は画素に保持される。

【0144】そして次に6ビット目のデジタルデータ信号が1ライン目の画素に入力されると、画素に保持されていた5ビット目のデジタルデータ信号は、6ビット目のデジタルデータ信号に書き換えられる。そして1ライン目の画素は表示期間Tr6となり、表示を行う。6ビット目のデジタルデータ信号は、再び1ビット目のデジタルデータ信号が入力されるまで画素に保持される。

10

20

30

40

50

【0145】再び1ビット目のデジタルデータ信号が画素に入力されると、表示期間 T_{r6} は終了し、同時にフレーム期間が終了する。全ての表示期間($T_{r1} \sim T_{r6}$)が終了すると、1つの画像を表示することができる。本発明の駆動方法において、1つの画像を表示する期間を1フレーム期間(F)と呼ぶ。そして上述した動作を繰り返す。

【0146】表示期間 T_{r5} は、書き込み期間 T_{a5} が開始されてから、書き込み期間 T_{a6} が開始されるまでの期間である。そして表示期間 T_{r6} は、書き込み期間 T_{a6} が開始されてから、次のフレーム期間の書き込み期間 T_{a1} が開始されるまでの期間である。

【0147】表示期間 T_r の長さは、 $T_{r1} : T_{r2} : \dots : T_{r5} : T_{r6} = 2^0 : 2^1 : \dots : 2^4 : 2^5$ となるように設定する。この表示期間の組み合わせで 2^6 階調のうち所望の階調表示を行うことができる。

【0148】1フレーム期間中にEL素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には5%の輝度が表現でき、 T_{r3} と T_{r5} を選択した場合には32%の輝度が表現できる。

【0149】本実施例において、5ビット目のデジタルデータ信号が画素に書き込まれる書き込み期間 T_{a5} は、表示期間 T_{r5} の長さよりも短いことが肝要である。

【0150】また表示期間($T_{r1} \sim T_{r6}$)は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r3} 、 T_{r5} 、 T_{r2} 、…という順序で表示期間を出現させることも可能である。ただし、消去期間($T_{e1} \sim T_{e6}$)が互いに重ならない順序の方がより好ましい。

【0151】なお本発明において、EL駆動用TFT108はnチャネル型TFTでもpチャネル型TFTでもどちらでも用いることが可能であるが、EL素子110の陽極が画素電極で陰極が対向電極の場合、EL駆動用TFT108はpチャネル型TFTであることが好ましい。また逆にEL素子110の陽極が対向電極で陰極が画素電極の場合、EL駆動用TFT108はnチャネル型TFTであることが好ましい。

【0152】本発明は上記構成によって、TFTによって $I_{DS} - V_{GS}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{DS} - V_{GS}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0153】また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場

合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、EL層の劣化をある程度抑えることができる。

【0154】また本発明では、全ての書き込み期間の長さの和が1フレーム期間よりも短く、なおかつ表示期間の長さを $T_{r1} : T_{r2} : \dots : T_{r5} : T_{r6} = 2^0 : 2^1 : \dots : 2^4 : 2^5$ とすることが可能な範囲で、書き込み期間の長さを設定することが必要である。

【0155】(実施例2) 本実施例では、本発明を用いてELディスプレイを作製した例について説明する。

【0156】図6(A)は本発明を用いたELディスプレイの上面図である。図6(A)において、4010は基板、4011は画素部、4012はソース信号線駆動回路、4013aは書き込み用ゲート信号線駆動回路であり、4013bは消去用ゲート信号線駆動回路であり、それぞれの駆動回路は配線4014a、4014b、4015、4016を経てFPC4017に至り、外部機器へと接続される。

【0157】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材6000、シーリング材(ハウジング材ともいう)7000、密封材(第2のシーリング材)7001が設けられている。

【0158】また、図6(B)は本実施例のELディスプレイの断面構造であり、基板4010、下地膜4021の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している。)4022及び画素部用TFT4023(但し、ここではEL素子への電流を制御するスイッチング用TFTだけ図示している。)が形成されている。これらのTFTは公知の構造(トップゲート構造またはボトムゲート構造)を用いれば良い。

【0159】駆動回路用TFT4022、画素部用TFT4023が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4026の上に画素部用TFT4023のドレインと電気的に接続する透明導電膜でなる画素電極4027を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4027を形成したら、絶縁膜4028を形成し、画素電極4027上に開口部を形成する。

【0160】次に、EL層4029を形成する。EL層4029は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせて積層構造または単層構造とすれば良い。どのような構造とするかは公知の技術を用いれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料

がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0161】本実施例では、シャドーマスクを用いて蒸着法によりEL層を形成する。シャドーマスクを用いて画素毎に波長の異なる発光が可能な発光層（赤色発光層、緑色発光層及び青色発光層）を形成することで、カラー表示が可能となる。その他にも、色変換層（CCM）とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のELディスプレイとすることもできる。

【0162】EL層4029を形成したら、その上に陰極4030を形成する。陰極4030とEL層4029の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4029と陰極4030を成膜するか、EL層4029を不活性雰囲気で形成し、大気解放しないで陰極4030を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。

【0163】なお、本実施例では陰極4030として、LiF（フッ化リチウム）膜とAl（アルミニウム）膜の積層構造を用いる。具体的にはEL層4029上に蒸着法で1nm厚のLiF（フッ化リチウム）膜を形成し、その上に300nm厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4030は4031で示される領域において配線4016に接続される。配線4016は陰極4030に所定の電圧を与えるための電源供給線であり、導電性ペースト材料4032を介してFPC4017に接続される。

【0164】4031に示された領域において陰極4030と配線4016とを電氣的に接続するために、層間絶縁膜4026及び絶縁膜4028にコンタクトホールを形成する必要がある。これらは層間絶縁膜4026のエッチング時（画素電極用コンタクトホールの形成時）や絶縁膜4028のエッチング時（EL層形成前の開口部の形成時）に形成しておけば良い。また、絶縁膜4028をエッチングする際に、層間絶縁膜4026まで一括でエッチングしても良い。この場合、層間絶縁膜4026と絶縁膜4028が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0165】このようにして形成されたEL素子の表面を覆って、パッシベーション膜6003、充填材6004、カバー材6000が形成される。

【0166】さらに、EL素子部を囲むようにして、カバー材6000と基板4010の内側にシーリング材7000が設けられ、さらにシーリング材7000の外側

には密封材（第2のシーリング材）7001が形成される。

【0167】このとき、この充填材6004は、カバー材6000を接着するための接着剤としても機能する。充填材6004としては、PVC（ポリビニルクロライド）、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材6004の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0168】また、充填材6004の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0169】スペーサーを設けた場合、パッシベーション膜6003はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0170】また、カバー材6000としては、ガラス板、アルミニウム板、ステンレス板、FRP（Fiberglass-Reinforced Plastic）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材6004としてPVBやEVAを用いる場合、数十μmのアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0171】但し、EL素子からの発光方向（光の放射方向）によっては、カバー材6000が透光性を有する必要がある。

【0172】また、配線4016はシーリング材7000および密封材7001と基板4010の隙間を通してFPC4017に電氣的に接続される。なお、ここでは配線4016について説明したが、他の配線4014a、4014b、4015も同様にしてシーリング材7000および密封材7001と基板4010との隙間を通してFPC4017に電氣的に接続される。

【0173】なお本実施例では、充填材6004を設けてからカバー材6000を接着し、充填材6004の側面（露呈面）を覆うようにシーリング材7000を取り付けているが、カバー材6000及びシーリング材7000を取り付けてから、充填材6004を設けても良い。この場合、基板4010、カバー材6000及びシーリング材7000で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態（10⁻¹Torr以下）にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0174】（実施例3）本実施例では、本発明を用いて実施例2とは異なる形態のELディスプレイを作製し

た例について、図 7 (A)、7 (B) を用いて説明する。図 6 (A)、6 (B) と同じ番号のものは同じ部分を指しているため説明は省略する。

【0175】図 7 (A) は本実施例の EL ディスプレイの上面図であり、図 7 (A) を A-A' で切断した断面図を図 7 (B) に示す。

【0176】実施例 2 に従って、EL 素子の表面を覆ってパッシベーション膜 6003 までを形成する。

【0177】さらに、EL 素子を覆うようにして充填材 6004 を設ける。この充填材 6004 は、カバー材 6000 を接着するための接着剤としても機能する。充填材 6004 としては、PVC (ポリビニルクロライド)、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) または EVA (エチレンビニルアセテート) を用いることができる。この充填材 6004 の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。

【0178】また、充填材 6004 の中にスペーサーを含有させてもよい。このとき、スペーサーを BaO などからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0179】スペーサーを設けた場合、パッシベーション膜 6003 はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0180】また、カバー材 6000 としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastic) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材 6004 として PVB や EVA を用いる場合、数十 μm のアルミニウムホイルを PVF フィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0181】但し、EL 素子からの発光方向 (光の放射方向) によっては、カバー材 6000 が透光性を有する必要がある。

【0182】次に、充填材 6004 を用いてカバー材 6000 を接着した後、充填材 6004 の側面 (露呈面) を覆うようにフレーム材 6001 を取り付ける。フレーム材 6001 はシーリング材 (接着剤として機能する) 6002 によって接着される。このとき、シーリング材 6002 としては、光硬化性樹脂を用いるのが好ましいが、EL 層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材 6002 はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材 6002 の内部に乾燥剤を添加してあっても良い。

【0183】また、配線 4016 はシーリング材 6002 と基板 4010 との隙間を通して FPC 4017 に電

氣的に接続される。なお、ここでは配線 4016 について説明したが、他の配線 4014a、4014b、4015 も同様にしてシーリング材 6002 と基板 4010 との隙間を通して FPC 4017 に電氣的に接続される。

【0184】なお本実施例では、充填材 6004 を設けてからカバー材 6000 を接着し、充填材 6004 の側面 (露呈面) を覆うようにフレーム材 6001 を取り付けているが、カバー材 6000 及びフレーム材 6001 を取り付けてから、充填材 6004 を設けても良い。この場合、基板 4010、カバー材 6000 及びフレーム材 6001 で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態 (10^{-2} Torr 以下) にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0185】(実施例 4) ここで EL ディスプレイにおける画素部のさらに詳細な断面構造を図 8 に示す。図 8 において、基板 3501 上に設けられたスイッチング用 TFT 3502 は公知の方法を用いて形成された n チャネル型 TFT を用いる。本実施例ではダブルゲート構造としている。ダブルゲート構造とすることで実質的に二つの TFT が直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法を用いて形成された p チャネル型 TFT を用いても構わない。

【0186】また、消去用 TFT 3504 は公知の方法を用いて形成された n チャネル型 TFT を用いる。本実施例ではシングルゲート構造としている。なお、本実施例ではシングルゲート構造としているが、ダブルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法を用いて形成された p チャネル型 TFT を用いても構わない。消去用 TFT 3504 のドレイン配線 31 は配線 36 によって、スイッチング用 TFT 3502 のドレイン配線 35 と、EL 駆動用 TFT のゲート電極 37 とに電氣的に接続されている。

【0187】また、EL 駆動用 TFT 3503 は公知の方法を用いて形成された n チャネル型 TFT を用いる。EL 駆動用 TFT のゲート電極 37 は配線 36 によって、スイッチング用 TFT 3502 のドレイン配線 35 と、消去用 TFT 3504 のドレイン配線 31 とに電氣的に接続されている。

【0188】EL 駆動用 TFT は EL 素子を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、EL 駆動用 TFT のド

レイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける本発明の構造は極めて有効である。

【0189】また、本実施例ではEL駆動用TFT3503をシングルゲート構造で図示しているが、複数のTFTを直列につなげたマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャンネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0190】また、ドレイン配線40は電源供給線（電源線）3506に接続され、常に一定の電圧が加えられている。

【0191】スイッチング用TFT3502、EL駆動用TFT3503及び消去用TFT3504の上には第1パッシベーション膜41が設けられ、その上に樹脂絶縁膜でなる平坦化膜42が形成される。平坦化膜42を用いてTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成するように画素電極を形成する前に平坦化しておくことが望ましい。

【0192】また、43は反射性の高い導電膜でなる画素電極（この場合EL素子の陰極）であり、EL駆動用TFT3503のドレイン領域に電気的に接続される。画素電極43としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0193】また、絶縁膜（好ましくは樹脂）で形成されたバンク44a、44bにより形成された溝（画素に相当する）の中に発光層45が形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とする有機EL材料としては π 共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0194】なお、PPV系有機EL材料としては様々な型のものがあるが、例えば「H. Shenk, H. Becker, O. Geisen, E. Kluge, W. Kreuder, and H. Spreitzer, "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0195】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアル

キルフェニレンを用いれば良い。膜厚は30~150nm（好ましくは40~100nm）とすれば良い。

【0196】但し、以上の例は発光層として用いることのできる有機EL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0197】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系有機EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらの有機EL材料や無機材料は公知の材料を用いることができる。

【0198】本実施例では発光層45の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層46を設けた積層構造のEL層としている。そして、正孔注入層46の上には透明導電膜でなる陽極47が設けられる。本実施例の場合、発光層45で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0199】陽極47まで形成された時点でEL素子3505が完成する。なお、ここでいうEL素子3505は、画素電極（陰極）43、発光層45、正孔注入層46及び陽極47で形成されたコンデンサを指す。画素電極43は画素の面積にほぼ一致させているため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0200】また本実施例では、陽極47の上にさらに第2パッシベーション膜48を設けている。第2パッシベーション膜48としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、有機EL材料の酸化による劣化を防ぐ意味と、有機EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりELディスプレイの信頼性が高められる。

【0201】以上のように本発明のELディスプレイは図8のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強いEL駆動用TFTとを有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なELディスプレイが得られる。

【0202】（実施例5）本実施例では、実施例4に示した画素部において、EL素子3505の構造を反転させた構造について説明する。説明には図9を用いる。な

お、図 8 の構造と異なる点は EL 素子の部分と EL 駆動用 TFT だけであるので、その他の説明は省略することとする。

【0203】図 9 において、EL 駆動用 TFT 3503 は公知の方法を用いて形成された p チャネル型 TFT を用いる。

【0204】本実施例では、画素電極（陽極）50 として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても

良い。
【0205】そして、絶縁膜でなるバンク 51a、51b が形成された後、溶液塗布によりポリビニルカルバゾールでなる発光層 52 が形成される。その上にはカリウムアセチルアセトネート（acacK と表記される）でなる電子注入層 53、アルミニウム合金でなる陰極 54 が形成される。この場合、陰極 54 がパッシベーション膜としても機能する。こうして EL 素子 3701 が形成される。

【0206】本実施例の場合、発光層 52 で発生した光は、矢印で示されるように TFT が形成された基板の方

に向かって放射される。
【0207】（実施例 6）本実施例では、図 3 に示した回路図とは異なる構造の画素とした場合の例について、図 10（A）～（C）を用いて説明する。なお、本実施例において、3801 はスイッチング用 TFT 3803 のゲート配線（ゲート信号線の一部）、3802 はスイッチング用 TFT 3803 のソース配線（ソース信号線の一部）、3804 は EL 駆動用 TFT、3805 は消去用 TFT、3806 は EL 素子、3807 は電源供給線、3808 はコンデンサとする。

【0208】図 10（A）は、二つの画素間で電源供給線 3807 を共通とした場合の例である。即ち、二つの画素が電源供給線 3807 を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0209】また、図 10（B）は、電源供給線 3808 をゲート配線 3801 と平行に設けた場合の例である。なお、図 10（B）では電源供給線 3808 とゲート配線 3801 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 3808 とゲート配線 3801 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0210】また、図 10（C）は、図 10（B）の構造と同様に電源供給線 3808 をゲート配線 3801 と平行に設け、さらに、二つの画素を電源供給線 3808 を中心に線対称となるように形成する点に特徴がある。

また、電源供給線 3808 をゲート配線 3801 のいずれか一方と重なるように設けることも有効である。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0211】（実施例 7）図 3、図 10 では EL 駆動用 TFT のゲート電極にかかる電圧を保持するためにコンデンサを設ける構造としているが、コンデンサを省略することも可能である。EL 駆動用 TFT として用いる n チャネル型 TFT が、ゲート絶縁膜を介してゲート電極に重なるように設けられた LDD 領域を有している場合、この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量を EL 駆動用 TFT のゲート電極にかかる電圧を保持するためのコンデンサとして積極的に用いる点に特徴がある。

【0212】この寄生容量のキャパシタンスは、上記ゲート電極と LDD 領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれる LDD 領域の長さによって決まる。

【0213】（実施例 8）本実施例では、本発明の EL ディスプレイの画素部とその周辺に設けられる駆動回路部の TFT を同時に作製する方法について説明する。但し、説明を簡単にするために、駆動回路に関しては基本単位である CMOS 回路を図示することとする。また消去用 TFT については、スイッチング用 TFT または EL 駆動用 TFT の作製方法を用いて作製することが可能であるので、ここでは省略する。

【0214】まず、図 11（A）に示すように、下地膜（図示せず）を表面に設けた基板 501 を用意する。本実施例では結晶化ガラス上に下地膜として 100 nm 厚の窒化酸化珪素膜を 200 nm 厚の窒化酸化珪素膜とを積層して用いる。この時、結晶化ガラス基板に接する方の窒素濃度を 10～25 wt % としておくとも良い。勿論、下地膜を設けずに石英基板上に直接素子を形成しても良い。

【0215】次に基板 501 の上に 45 nm の厚さのアモルファスシリコン膜 502 を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。

【0216】ここから図 11（C）までの工程は本発明者による特開平 10-247735 号公報を完全に引用することができる。同公報では Ni 等の元素を触媒として用いた半導体膜の結晶化方法に関する技術を開示している。

【0217】まず、開口部 503a、503b を有する保護膜 504 を形成する。本実施例では 150 nm 厚の酸化珪素膜を用いる。そして、保護膜 504 の上にスピコート法によりニッケル（Ni）を含有する層（Ni

含有層) 505を形成する。このNi含有層の形成に関しては、前記公報を参考にすれば良い。

【0218】次に、図11(B)に示すように、不活性雰囲気中で570℃14時間の加熱処理を加え、アモルファスシリコン膜502を結晶化する。この際、Niが接した領域(以下、Ni添加領域という)506a、506bを起点として、基板と概略平行に結晶化が進行し、棒状結晶が集まって並んだ結晶構造でなるポリシリコン膜507が形成される。

【0219】次に、図11(C)に示すように、保護膜504をそのままマスクとして15族に属する元素(好ましくはリン)をNi添加領域506a、506bに添加する。こうして高濃度にリンが添加された領域(以下、リン添加領域という)508a、508bが形成される。

【0220】次に、図11(C)に示すように、不活性雰囲気中で600℃12時間の加熱処理を加える。この熱処理によりポリシリコン膜507中に存在するNiは移動し、最終的には殆ど全て矢印が示すようにリン添加領域508a、508bに捕獲されてしまう。これはリンによる金属元素(本実施例ではNi)のゲッターリング効果による現象であると考えられる。

【0221】この工程によりポリシリコン膜509中に残るNiの濃度はSIMS(質量二次イオン分析)による測定値で少なくとも 2×10^{11} atoms/cm²にまで低減される。Niは半導体にとってライフタイムキラーであるが、この程度まで低減されるとTFT特性には何ら悪影響を与えることはない。また、この濃度は殆ど現状のSIMS分析の測定限界であるので、実際にはさらに低い濃度(2×10^{11} atoms/cm²以下)であると考えられる。

【0222】こうして触媒を用いて結晶化され、且つ、その触媒がTFTの動作に支障を与えないレベルにまで低減されたポリシリコン膜509が得られる。その後、このポリシリコン膜509のみを用いた活性層510～513をパターニング工程により形成する。また、この時、後のパターニングにおいてマスク合わせを行うためのマーカーを、上記ポリシリコン膜を用いて形成すると良い。(図11(D))

【0223】次に、図11(E)に示すように、50nm厚の窒化酸化シリコン膜をプラズマCVD法により形成し、その上で酸化雰囲気中で950℃1時間の加熱処理を加え、熱酸化工程を行う。なお、酸化雰囲気は酸素雰囲気でも良いし、ハロゲン元素を添加した酸素雰囲気でも良い。

【0224】この熱酸化工程では活性層と上記窒化酸化シリコン膜との界面で酸化が進行し、約15nm厚のポリシリコン膜が酸化されて約30nm厚の酸化シリコン膜が形成される。即ち、30nm厚の酸化シリコン膜と50nm厚の窒化酸化シリコン膜が積層されてなる80nm厚のゲート絶縁膜514が形成される。また、活性

層510～513の膜厚はこの熱酸化工程によって30nmとなる。

【0225】次に、図12(A)に示すように、レジストマスク515a、515bを形成し、ゲート絶縁膜514を介してp型を付与する不純物元素(以下、p型不純物元素という)を添加する。p型不純物元素としては、代表的には13族に属する元素、典型的にはボロンまたはガリウムを用いることができる。この工程(チャネルドープ工程という)はTFTのしきい値電圧を制御するための工程である。

【0226】なお、本実施例ではジボラン(B₂H₆)を質量分離しないでプラズマ励起したイオンドープ法でボロンを添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。この工程により $1 \times 10^{15} \sim 1 \times 10^{18}$ atoms/cm²(代表的には $5 \times 10^{16} \sim 5 \times 10^{17}$ atoms/cm²)の濃度でボロンを含む不純物領域516、517が形成される。

【0227】次に、図12(B)に示すように、レジストマスク519a、519bを形成し、ゲート絶縁膜514を介してn型を付与する不純物元素(以下、n型不純物元素という)を添加する。なお、n型不純物元素としては、代表的には15族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン(PH₃)を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを 1×10^{18} atoms/cm²の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0228】この工程により形成されるn型不純物領域520には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{19}$ atoms/cm²(代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm²)の濃度で含まれるようにドーズ量を調節する。

【0229】次に、図12(C)に示すように、添加されたn型不純物元素及びp型不純物元素の活性化工程を行う。活性化手段を限定する必要はないが、ゲート絶縁膜514が設けられているので電熱炉を用いたファーンエスアニール処理が好ましい。また、図12(A)の工程でチャネル形成領域となる部分の活性層/ゲート絶縁膜界面にダメージを与えてしまっている可能性があるため、なるべく高い温度で加熱処理を行うことが望ましい。

【0230】本実施例の場合には耐熱性の高い結晶化ガラスを用いているので、活性化工程を800℃1時間のファーンエスアニール処理により行う。なお、処理雰囲気を酸性雰囲気にして熱酸化を行っても良いし、不活性雰囲気で加熱処理を行っても良い。

【0231】この工程によりn型不純物領域520の端部、即ち、n型不純物領域520の周囲に存在するn型不純物元素を添加していない領域(図12(A)の工程で形成されたp型不純物領域)との境界部(接合部)が明確になる。このことは、後にTFTが完成した時点で

において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0232】次に、200～400nm厚の導電膜を形成し、パターンニングしてゲート電極522～525を形成する。このゲート電極522～525の線幅によって各TFTのチャネル長の長さが決定する。

【0233】なお、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知の導電膜を用いることができる。具体的には、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、クロム (Cr)、シリコン (Si) から選ばれた元素でなる膜、または前記元素の窒化物でなる膜 (代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、または前記元素を組み合わせた合金膜 (代表的にはMo-W合金、Mo-Ta合金)、または前記元素のシリサイド膜 (代表的にはタングステンシリサイド膜、チタンシリサイド膜) を用いることができる。勿論、単層で用いても積層して用いても良い。

【0234】本実施例では、50nm厚の窒化タングステン (WN) 膜と、350nm厚のタングステン (W) 膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてキセノン (Xe)、ネオン (Ne) 等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0235】またこの時、ゲート電極523はn型不純物領域520の一部とゲート絶縁膜514を介して重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極524a、524bは断面では二つに見えるが、実際は電氣的に接続されている。

【0236】次に、図13 (A) に示すように、ゲート電極522～525をマスクとして自己整合的にn型不純物元素 (本実施例ではリン) を添加する。こうして形成される不純物領域526～533にはn型不純物領域520の1/2～1/10 (代表的には1/3～1/4) の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ atoms/cm}^3$ (典型的には $3 \times 10^{17} \sim 3 \times 10^{18} \text{ atoms/cm}^3$) の濃度が好ましい。

【0237】次に、図13 (B) に示すように、ゲート電極等を覆う形でレジストマスク534a～534dを形成し、n型不純物元素 (本実施例ではリン) を添加して高濃度にリンを含む不純物領域535～539を形成する。ここでもフォスフィン (PH_3) を用いたイオンドーピング法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $2 \times 10^{20} \sim 5 \times 10^{21} \text{ atoms/cm}^3$) となるように調節する。

【0238】この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成されるが、スイッ

チング用TFTは、図13 (A) の工程で形成したn型不純物領域528～531の一部が残る。この残された領域が、スイッチング用TFTのLDD領域となる。

【0239】次に、図13 (C) に示すように、レジストマスク534a～534dを除去し、新たにレジストマスク542を形成する。そして、p型不純物元素 (本実施例ではボロン) を添加し、高濃度にボロンを含む不純物領域540、541、543、544を形成する。ここではジボラン (B_2H_6) を用いたイオンドーピング法により $3 \times 10^{20} \sim 3 \times 10^{21} \text{ atoms/cm}^3$ (代表的には $5 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$) の濃度となるようにボロンを添加する。

【0240】なお、不純物領域540、541、543、544には既に $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0241】次に、図13 (D) に示すように、レジストマスク542を除去した後、第1層間絶縁膜546を形成する。第1層間絶縁膜546としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400nm～1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0242】その後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンズアニール法が好ましい。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0243】さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。

【0244】なお、水素化処理は第1層間絶縁膜546を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成しても構わない。

【0245】次に、図14 (A) に示すように、第1層間絶縁膜546及びゲート絶縁膜514に対してコンタクトホールを形成し、ソース配線547～550と、ドレイン配線551～553を形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

10

20

30

40

50

【0246】次に、50～500nm（代表的には200～300nm）の厚さで第1パッシベーション膜554を形成する。本実施例では第1パッシベーション膜554として300nm厚の窒化酸化シリコン膜を用いる。これは窒化シリコン膜で代用しても良い。

【0247】この時、窒化酸化シリコン膜の形成に先立って H_2 、 NH_3 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜546に供給され、熱処理を行うことで、第1パッシベーション膜554の膜質が改善される。それと同時に、第1層間絶縁膜546に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0248】次に、図14（B）に示すように、有機樹脂からなる第2層間絶縁膜555を形成する。有機樹脂としてはポリイミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2層間絶縁膜555はTFTが形成する段差を平坦化する必要があるため、平坦性に優れたアクリル膜が好ましい。本実施例では2.5 μm の厚さでアクリル膜を形成する。

【0249】次に、第2層間絶縁膜555、第1パッシベーション膜554にドレイン配線553に達するコンタクトホールを形成し、画素電極（陽極）556を形成する。本実施例では酸化インジウム・スズ（ITO）膜を110nmの厚さに形成し、パターニングを行って画素電極とする。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極がEL素子203の陽極となる。

【0250】次に、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500nmの厚さに形成し、画素電極556に対応する位置に開口部を形成して第3層間絶縁膜557を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることができる。開口部の側壁が十分になだらかでないと段差に起因するEL層の劣化が顕著な問題となってしまう。

【0251】次に、EL層558及び陰極（MgAg電極）559を、真空蒸着法を用いて大気解放しないで連続形成する。なお、EL層558の膜厚は800～200nm（典型的には100～120nm）、陰極559の厚さは180～300nm（典型的には200～250nm）とすれば良い。

【0252】この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層及び陰極を形成する。但し、EL層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層を形成するのが好ましい。

【0253】即ち、まず赤色に対応する画素以外を全て

隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素にEL層を形成するまで真空を破らずに処理することが好ましい。

【0254】なお、EL層558としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層及び電子注入層でなる4層構造をEL層とすれば良い。また、本実施例ではEL素子203の陰極としてMgAg電極を用いた例を示すが、公知の他の材料を用いることが可能である。

【0255】また、保護電極560としてはアルミニウムを主成分とする導電膜を用いれば良い。保護電極560はEL層及び陰極を形成した時とは異なるマスクを用いて真空蒸着法で形成すれば良い。また、EL層及び陰極を形成した後で大気解放しないで連続的に形成することが好ましい。

【0256】最後に、窒化珪素膜でなる第2パッシベーション膜561を300nmの厚さに形成する。実際には保護電極560がEL層を水分等から保護する役割を果たすが、さらに第2パッシベーション膜561を形成しておくことで、EL素子203の信頼性をさらに高めることができる。

【0257】こうして図14（C）に示すような構造のアクティブマトリクス型のELディスプレイが完成する。201がスイッチング用TFT、202がEL駆動用TFT、204が駆動回路用nチャネル型TFT、205が駆動回路用pチャネル型TFTである。

【0258】なお、実際には、図14（C）まで完成したら、さらに外気に曝されないように気密性の高い保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）やセラミックス製シーリングカンなどのハウジング材でパッケージング（封入）することが好ましい。

【0259】（実施例9）本実施例では、図1で示したソース信号線駆動回路102の詳しい構成について説明する。図15に本発明で用いられるソース信号線駆動回路の一例を回路図で示す。

【0260】シフトレジスタ801、ラッチ（A）802、ラッチ（B）803、が図に示すように配置されている。なお本実施例では、1組のラッチ（A）802と1組のラッチ（B）803が、4本のソース信号線S_a～S_dに対応している。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

【0261】クロック信号CLK、CLKの極性が反転したクロック信号CLKB、スタートパルス信号SP、駆動方向切り替え信号SL/Rはそれぞれ図に示した配線からシフトレジスタ801に入力される。また外部から入力されるデジタルデータ信号VDは図に示した配線からラッチ(A)802に入力される。ラッチ信号S_{LAT}、S_{LAT}の極性が反転した信号S_{LATb}はそれぞれ図に示した配線からラッチ(B)803に入力される。

【0262】ラッチ(A)802の詳しい構成について、ソース信号線SLine_aに対応するラッチ

(A)802の一部804を例にとって説明する。ラッチ(A)802の一部804は2つのクロックドインバータと2つのインバータを有している。

【0263】ラッチ(A)802の一部804の上面図を図16に示す。831a、831bはそれぞれ、ラッチ(A)802の一部804が有するインバータの1つを形成するTFTの活性層であり、836は該インバータの1つを形成するTFTの共通のゲート電極である。また832a、832bはそれぞれ、ラッチ(A)802の一部804が有するもう1つのインバータを形成するTFTの活性層であり、837a、837bは活性層832a、832b上にそれぞれ設けられたゲート電極である。なおゲート電極837a、837bは電気的に接続されている。

【0264】833a、833bはそれぞれ、ラッチ(A)802の一部804が有するクロックドインバータの1つを形成するTFTの活性層である。活性層833a上にはゲート電極838a、838bが設けられており、ダブルゲート構造となっている。また活性層833b上にはゲート電極838b、839が設けられており、ダブルゲート構造となっている。

【0265】834a、834bはそれぞれ、ラッチ(A)802の一部804が有するもう1つのクロックドインバータを形成するTFTの活性層である。活性層834a上にはゲート電極839、840が設けられており、ダブルゲート構造となっている。また活性層834b上にはゲート電極840、841が設けられており、ダブルゲート構造となっている。

【0266】(実施例10)本発明のELディスプレイにおいて、EL素子が有するEL層に用いられる材料は、有機EL材料に限定されず、無機EL材料を用いても実施できる。但し、現在の無機EL材料は非常に駆動電圧が高いため、そのような駆動電圧に耐えうる耐圧特性を有するTFTを用いなければならない。

【0267】または、将来的にさらに駆動電圧の低い無機EL材料が開発されれば、本発明に適用することは可能である。

【0268】また、本実施例の構成は、実施例1~9のいずれの構成とも自由に組み合わせることが可能であ

る。

【0269】(実施例11)本発明において、EL層として用いる有機物質は低分子系有機物質であってもポリマー系(高分子系)有機物質であっても良い。低分子系有機物質はAlq₃(トリス-8-キノリライト-アルミニウム)、TPD(トリフェニルアミン誘導体)等を中心とした材料が知られている。ポリマー系有機物質として、 π 共役ポリマー系の物質が挙げられる。代表的には、PPV(ポリフェニレンビニレン)、PVK(ポリビニルカルバゾール)、ポリカーボネート等が挙げられる。

【0270】ポリマー系(高分子系)有機物質は、スピニング法(溶液塗布法ともいう)、ディッピング法、ディスペンス法、印刷法またはインクジェット法など簡易な薄膜形成方法で形成でき、低分子系有機物質に比べて耐熱性が高い。

【0271】また本発明のELディスプレイが有するEL素子において、そのEL素子が有するEL層が、電子輸送層と正孔輸送層とを有している場合、電子輸送層と正孔輸送層とを無機材料、例えば非晶質のSiまたは非晶質のSi_{1-x}C_x等の非晶質半導体で構成しても良い。

【0272】非晶質半導体には多量のトラップ準位が存在し、かつ非晶質半導体が他の層と接する界面において多量の界面準位を形成する。そのため、EL素子は低い電圧で発光させることができるとともに、高輝度化を図ることもできる。

【0273】また有機EL層にドーパント(不純物)を添加し、有機EL層の発光の色を変化させても良い。ドーパントとして、DCM1、ナイルレッド、ルブレン、クマリン6、TPB、キナクリドン等が挙げられる。

【0274】(実施例12)本実施例では、本発明のELディスプレイについて図21(A)、(B)を用いて説明する。図21(A)は、EL素子の形成されたTFT基板において、EL素子の封入まで行った状態を示す上面図である。点線で示された6801はソース信号線駆動回路、6802aは書き込み用ゲート信号線駆動回路、6802bは消去用ゲート信号線駆動回路、6803は画素部である。また、6804はカバー材、6805は第1シール材、6806は第2シール材であり、第1シール材6805で囲まれた内側のカバー材とTFT基板との間には充填材6807(図21(B)参照)が設けられる。

【0275】なお、6808はソース信号線駆動回路6801、書き込み用ゲート信号線駆動回路6802a、消去用ゲート信号線駆動回路6802b及び画素部6803に入力される信号を伝達するための接続配線であり、外部機器との接続端子となるFPC(フレキシブルプリントサーキット)6809からビデオ信号やクロック信号を受け取る。

【0276】ここで、図21(A)をA-A'で切断した断面に相当する断面図を図21(B)に示す。なお、図21(A)、(B)では同一の部位に同一の符号を用いている。

【0277】図21(B)に示すように、基板6800上には画素部6803、ソース信号線駆動回路6801が形成されており、画素部6803はEL素子に流れる電流を制御するためのTFT(以下、EL駆動用TFTという)6851とそのドレインに電気的に接続された画素電極6852を含む複数の画素により形成される。本実施例ではEL駆動用TFT6851をpチャネル型TFTとする。また、ソース信号線駆動回路6801はnチャネル型TFT6853とpチャネル型TFT6854とを相補的に組み合わせたCMOS回路を用いて形成される。

【0278】各画素は画素電極の下にカラーフィルタ(R)6855、カラーフィルタ(G)6856及びカラーフィルタ(B)(図示せず)を有している。ここでカラーフィルタ(R)とは赤色光を抽出するカラーフィルタであり、カラーフィルタ(G)は緑色光を抽出するカラーフィルタ、カラーフィルタ(B)は青色光を抽出するカラーフィルタである。なお、カラーフィルタ(R)6855は赤色発光の画素に、カラーフィルタ(G)6856は緑色発光の画素に、カラーフィルタ(B)は青色発光の画素に設けられる。

【0279】これらのカラーフィルタを設けた場合の効果としては、まず発光色の色純度が向上する点が挙げられる。例えば赤色発光の画素からはEL素子から赤色光が放射される(本実施例では画素電極側に向かって放射される)が、この赤色光を、赤色光を抽出するカラーフィルタに通すことにより赤色の純度を向上させることができる。このことは、他の緑色光、青色光の場合においても同様である。

【0280】また、従来のカラーフィルタを用いない構造ではELディスプレイの外部から侵入した可視光がEL素子の発光層を励起させてしまい、所望の発色が得られない問題が起こりうる。しかしながら、本実施例のようにカラーフィルタを設けることでEL素子には特定の波長の光しか入らないようになる。即ち、外部からの光によりEL素子が励起されてしまうような不具合を防ぐことが可能である。

【0281】なお、カラーフィルタを設ける構造は従来提案されているが、EL素子は白色発光のものを用いていた。この場合、赤色光を抽出するには他の波長の光をカットしていたため、輝度の低下を招いていた。しかしながら、本実施例では、例えばEL素子から発した赤色光を、赤色光を抽出するカラーフィルタに通すため、輝度の低下を招くようなことがない。

【0282】次に、画素電極6852は透明導電膜で形成され、EL素子の陽極として機能する。また、画素電

極6852の両端には絶縁膜6857が形成され、さらに赤色に発光する発光層6858、緑色に発光する発光層6859が形成される。なお、図示しないが隣接する画素には青色に発光する発光層が設けられ、赤、緑及び青に対応した画素によりカラー表示が行われる。勿論、青色の発光層が設けられた画素は青色を抽出するカラーフィルタが設けられている。

【0283】なお、発光層6858、6859の材料として有機材料だけでなく無機材料を用いることができる。また、発光層だけでなく電子注入層、電子輸送層、正孔輸送層または正孔注入層を組み合わせた積層構造としても良い。

【0284】また、各発光層の上にはEL素子の陰極6860が遮光性を有する導電膜でもって形成される。この陰極6860は全ての画素に共通であり、接続配線6808を経由してFPC6809に電気的に接続されている。

【0285】次に、第1シール材6805をディスペンサー等で形成し、スペーサ(図示せず)を撒布してカバー材6804を貼り合わせる。そして、TFT基板、カバー材6804及び第1シール材6805で囲まれた領域内に充填材6807を真空注入法により充填する。

【0286】また、本実施例では充填材6807に予め吸湿性物質6861として酸化バリウムを添加しておく。なお、本実施例では吸湿性物質を充填材に添加して用いるが、塊状に分散させて充填材中に封入することもできる。また、図示されていないがスペーサの材料として吸湿性物質を用いることも可能である。

【0287】次に、充填材6807を紫外線照射または加熱により硬化させた後、第1シール材6805に形成された開口部(図示せず)を塞ぐ。第1シール材6805の開口部を塞いだら、導電性材料6862を用いて接続配線6808及びFPC6809を電気的に接続させる。さらに、第1シール材6805の露呈部及びFPC6809の一部を覆うように第2シール材6806を設ける。第2シール材6806は第1シール材6807と同様の材料を用いれば良い。

【0288】以上のような方式を用いてEL素子を充填材6807に封入することにより、EL素子を外部から完全に遮断することができ、外部から水分や酸素等の有機材料の酸化を促す物質が侵入することを防ぐことができる。従って、信頼性の高いELディスプレイを作製することができる。

【0289】また、本発明を用いることで既存の液晶表示装置用の製造ラインを転用させることができるため、整備投資の費用が大幅に削減可能であり、歩留まりの高いプロセスで1枚の基板から複数の発光装置を生産することができるため、大幅に製造コストを低減しうる。

【0290】(実施例13) 本実施例では、実施例12に示したELディスプレイにおいて、EL素子から発す

る光の放射方向とカラーフィルタの配置を異ならせた場合の例について示す。説明には図 22 を用いるが、基本的な構造は図 21 (B) と同様であるので変更部分に新しい符号を付して説明する。

【0291】本実施例では画素部 6901 には EL 駆動用 TFT 6902 として n チャンネル型 TFT が用いられている。また、EL 駆動用 TFT 6902 のドレインには画素電極 6903 が電気的に接続され、この画素電極 6903 は遮光性を有する導電膜で形成されている。本実施例では画素電極 6903 が EL 素子の陰極となる。

【0292】また、本発明を用いて形成された赤色に発光する発光層 6858、緑色に発光する発光層 6859 の上には各画素に共通な透明導電膜 6904 が形成される。この透明導電膜 6904 は EL 素子の陽極となる。

【0293】さらに、本実施例ではカラーフィルタ (R) 6905、カラーフィルタ (G) 6906 及びカラーフィルタ (B) (図示せず) がカバー材 6804 に形成されている点に特徴がある。本実施例の EL 素子の構造とした場合、発光層から発した光の放射方向がカバー材側に向かうため、図 22 の構造とすればその光の経路にカラーフィルタを設置することができる。

【0294】本実施例のようにカラーフィルタ (R) 6905、カラーフィルタ (G) 6906 及びカラーフィルタ (B) (図示せず) をカバー材 6804 に設けると、TFT 基板の工程を少なくすることができ、歩留まり及びスループットの向上を図ることができるという利点がある。

【0295】(実施例 14) 本発明を用いて形成された電子ディスプレイ、特に EL ディスプレイは様々な電子機器に用いることができる。以下に、本発明を用いて形成された電子ディスプレイを表示媒体として組み込んだ電子機器について説明する。

【0296】その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ (ゴーグル型ディスプレイ)、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話または電子書籍等) などが挙げられる。それらの一例を図 17 に示す。

【0297】図 17 (A) はパーソナルコンピュータであり、本体 2001、筐体 2002、表示部 2003、キーボード 2004 等を含む。本発明の EL ディスプレイはパーソナルコンピュータの表示部 2003 に用いることができる。

【0298】図 17 (B) はビデオカメラであり、本体 2101、表示部 2102、音声入力部 2103、操作スイッチ 2104、バッテリー 2105、受像部 2106 等を含む。本発明の EL ディスプレイはビデオカメラの表示部 2102 に用いることができる。

【0299】図 17 (C) は頭部取り付け型の EL 表示装置の一部 (右片側) であり、本体 2301、信号ケー

ブル 2302、頭部固定バンド 2303、表示モニタ 2304、光学系 2305、表示部 2306 等を含む。本発明の EL ディスプレイは頭部取り付け型の EL 表示装置の表示部 2306 に用いることができる。

【0300】図 17 (D) は記録媒体を備えた画像再生装置 (具体的には DVD 再生装置) であり、本体 2401、記録媒体 (CD、LD または DVD 等) 2402、操作スイッチ 2403、表示部 (a) 2404、表示部 (b) 2405 等を含む。表示部 (a) は主として画像情報を表示し、表示部 (b) は主として文字情報を表示するが、本発明の EL ディスプレイは記録媒体を備えた画像再生装置の表示部 (a)、(b) に用いることができる。なお、記録媒体を備えた画像再生装置としては、CD 再生装置、ゲーム機器などに本発明を用いることができる。

【0301】図 17 (E) は携帯型 (モバイル) コンピュータであり、本体 2501、カメラ部 2502、受像部 2503、操作スイッチ 2504、表示部 2505 等を含む。本発明の EL ディスプレイ 2505 は携帯型 (モバイル) コンピュータの表示部に用いることができる。

【0302】また、将来的に EL 材料の発光輝度が高くなれば、フロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0303】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例 1~13 のどのような組み合わせからなる構成を用いても実現することができる。

【0304】(実施例 15) 本発明の構成を有する EL ディスプレイの、上面から撮影した写真を図 23 に示す。具体的な仕様は以下の通りである。

【0305】画素部のサイズが対角 4 インチ、画素部が有する画素数は 640×480 (VGA)、モノクロ表示、EL 素子の陰極と陽極の間にかかる最大電圧は 6 V、開口率 48%、ソース信号線駆動回路の駆動周波数は 6.25 MHz、ゲート信号線駆動回路の駆動周波数は 126 kHz、ゲート信号線駆動回路の駆動電圧は 10 V、6 ビットのデジタルデータ信号に対応しており 64 階調の表示を行うことが可能である。なお 1 フレーム期間あたりの表示期間の総和の割合 (デューティ比) は 63.0% である。

【0306】なお本発明の構成は上述した仕様に限定されない。なお、本実施例は、本明細書における他の全ての実施例と、自由に組み合わせることが可能である。

【0307】(実施例 16) 本実施例では、n ビットのデジタルデータ信号に対応した本発明の駆動方法において、表示期間 $T_{r1} \sim T_{rn}$ の出現する順序について説明する。

【0308】図 24 に本実施例の駆動方法を示すタイミ

ングチャートを示す。画素の詳しい駆動の仕方については実施の形態を参照する。本実施例の駆動方法では、1フレーム期間中で1番長い非表示期間である T_{d1} を1フレーム期間の最後に設ける。上記構成によって、非表示期間 T_{d1} と次の表示期間（本実施例では T_{rn} だが本発明はこれに限定されず、 T_{r1} 以外ならどの表示期間でも良い）との間にフレーム期間の区切れがあるように人間の目には映る。これによって、中間表示を行ったときに隣り合うフレーム期間同士で表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0309】なお本実施例は他の全ての実施例と自由に組み合わせることが可能である。

【0310】（実施例17）本実施例では、本発明を実施する上で有効な画素部の駆動方法について、図25を用いて説明する。

【0311】図25（A）に示した本実施例のELディスプレイは、画素部を2つに分割し、画素部A2501と画素部B2502とに分かれている。そしてソース信号線駆動回路A2503、書き込み用ゲート信号線駆動回路A2504及び消去用ゲート信号線駆動回路A2505が駆動することによって、画素部A2501に画像の半分が表示される。またソース信号線駆動回路B2506、書き込み用ゲート信号線駆動回路B2507及び消去用ゲート信号線駆動回路B2508が駆動することによって、画素部B2502に画像の半分が表示される。

【0312】そして画素部A2501に表示された半分の画像と、画素部B2502に表示された半分の画像とを合わせて、1つの画像が形成される。

【0313】図25（B）に示したELディスプレイは、ソース信号線駆動回路A2513から奇数番目のソース信号線にデジタルデータ信号が入力される。そしてソース信号線駆動回路B2514によってから偶数番目のソース信号線にデジタルデータ信号が入力される。

【0314】また書き込み用ゲート信号線駆動回路A2515は同時に2本の書き込み用ゲート信号線駆動回路を選択することで、奇数番目と偶数番目のソース信号線に同時に入力されたデジタルデータ信号を画素に入力する。具体的には画素の有するスイッチング用TFTを介してEL駆動用TFTのゲート電極にデジタルデータ信号を入力する。

【0315】消去用ゲート信号線駆動回路A2516は同時に2本の消去用ゲート信号線駆動回路を選択することで、電源供給線の電源電位を画素に入力する。具体的には画素の有する消去用TFTを介してEL駆動用TFTのゲート電極に電源電位を与える。

【0316】上記構成によって画素部2511に画像が形成される。なお本実施例は他の全ての実施例と自由に組み合わせることが可能である。

【0317】（実施例18）本実施例では、本発明のELディスプレイの駆動方法を用いた場合、どのような電圧電流特性を有する領域でEL駆動用TFTを駆動させるかについて説明する。

【0318】EL素子は、印加される電圧が少しでも変化すると、それに対してEL素子を流れる電流が指数関数的に大きく変化する。別の見方をすると、EL素子を流れる電流の大きさが変化しても、EL素子に印加される電圧値はあまり変化しない。そして、EL素子の輝度は、EL素子に流れる電流にほぼ正比例して大きくなる。よって、EL素子に印加される電圧の大きさ（電圧値）を制御することによりEL素子の輝度を制御するよりも、EL素子を流れる電流の大きさ（電流値）を制御することによりEL素子の輝度を制御する方が、TFTの特性に左右されずらく、EL素子の輝度の制御が容易である。

【0319】図26を参照する。図26（A）は、図3に示した本発明のELディスプレイの画素において、EL駆動用TFT108およびEL素子110の構成部分のみを図示したものである。図26（B）には、図26（A）で示したEL駆動用TFT108およびEL素子110の電圧電流特性を示す。なお図26（B）で示すEL駆動用TFT108の電圧電流特性のグラフは、ソース領域とドレイン領域の間の電圧である V_{ds} に対する、EL駆動用TFT108のドレインに流れる電流の大きさを示しており、さらに図26（B）にはEL駆動用TFT108のソース領域とゲート電極の間の電圧である V_{gs} の値の異なる複数のグラフを示している。

【0320】図26（A）に示したように、EL素子110の画素電極と対向電極111の間にかかる電圧を V_{el} 、電源供給線に接続される端子2601とEL素子110の対向電極111の間にかかる電圧を V_r とする。なお V_r は電源供給線の電位によってその値が固定される。またEL駆動用TFT108のソース領域・ドレイン領域間の電圧を V_{ds} 、EL駆動用TFT108のゲート電極に接続される配線2602とソース領域との間の電圧、つまりEL駆動用TFT108のゲート電極とソース領域の間の電圧を V_{gs} とする。

【0321】EL駆動用TFT108はnチャネル型TFTでもpチャネル型TFTでもどちらでも良い。

【0322】また、EL駆動用TFT108とEL素子110とは直列に接続されている。よって、両素子（EL駆動用TFT108とEL素子110）を流れる電流値は同じである。従って、図26（A）に示したEL駆動用TFT108とEL素子110とは、両素子の電圧電流特性を示すグラフの交点（動作点）において駆動する。図26（B）において、 V_{el} は、対向電極111の電位と動作点での電位との間の電圧になる。 V_{ds} は、EL駆動用TFT108の端子2601での電位と動作点での電位との間の電圧になる。つまり、 V_r は、 V_{el} と

V_{DS} の和に等しい。

【0323】ここで、 V_{GS} を変化させた場合について考える。図26(B)から分かるように、EL駆動用TFT108の $|V_{GS} - V_{TH}|$ が大きくなるにつれて、言い換えると $|V_{GS}|$ が大きくなるにつれて、EL駆動用TFT108に流れる電流値が大きくなる。なお、 V_{TH} はEL駆動用TFT108のしきい値電圧である。よって図26(B)から分かるように、 $|V_{GS}|$ が大きくなると、動作点においてEL素子110を流れる電流値も当然大きくなる。EL素子110の輝度は、EL素子110を流れる電流値に比例して高くなる。

【0324】 $|V_{GS}|$ が大きくなることによってEL素子110を流れる電流値が大きくなると、電流値に応じて V_{EL} の値も大きくなる。そして V_T の大きさは電源供給線の電位によって定まっているので、 V_{EL} が大きくなると、その分 V_{DS} が小さくなる。

【0325】また図26(B)に示したように、EL駆動用TFTの電圧電流特性は、 V_{GS} と V_{DS} の値によって2つの領域に分けられる。 $|V_{GS} - V_{TH}| < |V_{DS}|$ である領域が飽和領域、 $|V_{GS} - V_{TH}| > |V_{DS}|$ である領域が線形領域である。

【0326】飽和領域においては以下の式1が成り立つ。なお I_{DS} はEL駆動用TFT108のチャネル形成領域を流れる電流値である。また $\beta = \mu C_0 W/L$ であり、 μ はEL駆動用TFT108の移動度、 C_0 は単位面積あたりのゲート容量、 W/L はチャネル形成領域のチャネル幅 W とチャネル長 L の比である。

【0327】

$$【式1】 I_{DS} = \beta (V_{GS} - V_{TH})^2 / 2$$

【0328】また線形領域においては以下の式2が成り立つ。

【0329】

$$【式2】 I_{DS} = \beta \{ (V_{GS} - V_{TH}) V_{DS} - V_{DS}^2 / 2 \}$$

【0330】式1からわかるように、飽和領域において電流値は V_{DS} によってほとんど変化せず、 V_{GS} のみによって電流値が定まる。

【0331】一方、式2からわかるように、線形領域は、 V_{DS} と V_{GS} とにより電流値が定まる。 $|V_{GS}|$ を大きくしていくと、EL駆動用TFT108は線形領域で動作するようになる。そして、 V_{EL} も徐々に大きくなっていく。よって、 V_{EL} が大きくなった分だけ、 V_{DS} が小さくなっていく。線形領域では、 V_{DS} が小さくなると電流量も小さくなる。そのため、 $|V_{GS}|$ を大きくしていても、電流値は増加しにくくなってくる。 $|V_{GS}| = \infty$ になった時、電流値 $= I_{MAX}$ となる。つまり、 $|V_{GS}|$ をいくら大きくしても、 I_{MAX} 以上の電流は流れない。ここで、 I_{MAX} は、 $V_{EL} = V_T$ の時に、EL素子110を流れる電流値である。

【0332】このように $|V_{GS}|$ の大きさを制御することによって、動作点を飽和領域にしたり、線形領域にし

たりすることができる。

【0333】ところで、全てのEL駆動用TFTの特性は理想的には全て同じであることが望ましいが、実際には個々のEL駆動用TFTでしきい値 V_{TH} と移動度 μ とが異なっていることが多い。そして個々のEL駆動用TFTのしきい値 V_{TH} と移動度 μ とが互いに異なると、式1及び式2からわかるように、 V_{GS} の値が同じでもEL駆動用TFT108のチャネル形成領域を流れる電流値が異なってしまう。

【0334】図27にしきい値 V_{TH} と移動度 μ の値をずらしていった場合の、EL駆動用TFTの電流電圧特性を示す。実線2701が理想の電流電圧特性のグラフであり、2702、2703がそれぞれしきい値 V_{TH} と移動度 μ とが理想とする値と異なってしまった場合のEL駆動用TFTの電流電圧特性である。電流電圧特性のグラフ2702、2703は飽和領域においては同じ電流値 ΔI_1 だけ、理想の特性を有する電流電圧特性のグラフ2701からずれていて、電流電圧特性のグラフ2702の動作点2705は飽和領域にあり、電流電圧特性のグラフ2703の動作点2706は線形領域にあったとする。その場合、理想の特性を有する電流電圧特性のグラフ2701の動作点2704における電流値と、動作点2705及び動作点2706における電流値のずれをそれぞれ ΔI_2 、 ΔI_3 とすると、飽和領域における動作点2705よりも線形領域における動作点2706の方が小さい。

【0335】よって本発明で示したデジタル方式の駆動方法を用いる場合、動作点が線形領域に存在するようにEL駆動用TFTとEL素子を駆動させることで、EL駆動用TFTの特性のずれによるEL素子の輝度むらを抑えた階調表示を行うことができる。

【0336】また従来のアナログ駆動の場合は、 $|V_{GS}|$ のみによって電流値を制御することが可能な飽和領域に動作点が存在するようにEL駆動用TFTとEL素子を駆動させる方が好ましい。

【0337】以上の動作分析のまとめとして、EL駆動用TFTのゲート電圧 $|V_{GS}|$ に対する電流値のグラフを図28に示す。 $|V_{GS}|$ を大きくしていき、EL駆動用TFTのしきい値電圧の絶対値 $|V_{th}|$ よりも大きくなると、EL駆動用TFTが導通状態となり、電流が流れ始める。本明細書ではこの時の $|V_{GS}|$ を点灯開始電圧と呼ぶことにする。そして、さらに $|V_{GS}|$ を大きくしていくと、 $|V_{GS}|$ が $|V_{GS} - V_{th}| = |V_{DS}|$ を満たすような値（ここでは仮にAとする）となり、飽和領域2801から線形領域2802になる。さらに $|V_{GS}|$ を大きくしていくと、電流値が大きくなり、遂には、電流値が飽和してくる。その時 $|V_{GS}| = \infty$ となる。

【0338】図28から分かる通り、 $|V_{GS}| \leq |V_{th}|$ の領域では、電流がほとんど流れない。 $|V_{th}| \leq |V_{GS}| \leq A$ の領域は飽和領域であり、 $|V_{GS}|$ によって

59

電流値が変化する。そして、 $A \leq |V_{cs}|$ の領域は線形領域であり、EL素子に流れる電流値は $|V_{cs}|$ 及び $|V_{ds}|$ によって電流値が変化する。

【0339】本発明のデジタル駆動では、 $|V_{cs}| \leq |V_{ds}|$ の領域及び $A \leq |V_{cs}|$ の線形領域を用いることが好ましい。

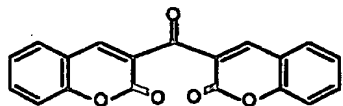
【0340】なお本実施例は他の全ての実施例と自由に組み合わせることが可能である。

【0341】(実施例19) 本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0342】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo, 1991) p. 437.) 上記の論文により報告されたEL材料(クマリン色素)の分子式を以下に示す。

【0343】

【化1】

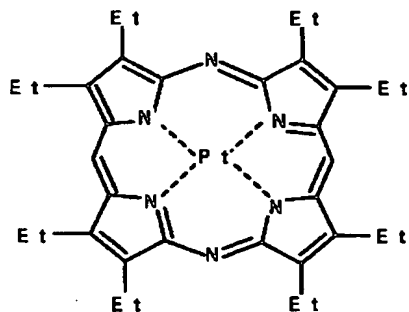


【0344】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p. 151.)

【0345】上記の論文により報告されたEL材料(Pt錯体)の分子式を以下に示す。

【0346】

【化2】

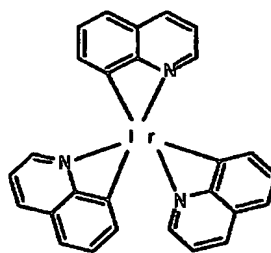


【0347】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p. 4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.) 上記の論文により報告されたEL材料(Ir錯体)の分子式を以下に示す。

【0348】

【化3】

60



【0349】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。

【0350】なお、本実施例の構成は、実施例1~実施例18のいずれの構成とも自由に組みあわせて実施することが可能である。

【0351】

【発明の効果】本発明は上記構成によって、TFTによって $I_{ds}-V_{gs}$ 特性に多少のばらつきがあっても、等しいゲート電圧がかかったときに出力される電流量のばらつきを抑えることができる。よって $I_{ds}-V_{gs}$ 特性のバラツキによって、同じ電圧の信号を入力してもEL素子の発光量が隣接画素で大きく異なってしまうという事態を避けることが可能になる。

【0352】また、本発明では、表示を行わない非発光期間を設けることができる。従来のアナログ駆動の場合、ELディスプレイに全白の画像を表示させると、常にEL素子が発光することになり、EL層の劣化を早める原因となってしまう。本発明は非発光期間を設けることができるので、EL層の劣化をある程度抑えることができる。

30 【図面の簡単な説明】

【図1】 本発明のELディスプレイの回路構成を示す図。

【図2】 本発明のELディスプレイの画素部の回路図。

【図3】 本発明のELディスプレイの画素の回路図。

【図4】 本発明のELディスプレイの駆動方法を示す図。

40 【図5】 本発明のELディスプレイの駆動方法を示す図。

【図6】 本発明のELディスプレイの上面図及び断面図。

【図7】 本発明のELディスプレイの上面図及び断面図。

【図8】 本発明のELディスプレイの断面図。

【図9】 本発明のELディスプレイの断面図。

【図10】 本発明のELディスプレイの画素部の回路図。

50 【図11】 本発明のELディスプレイの作製行程を示す図。

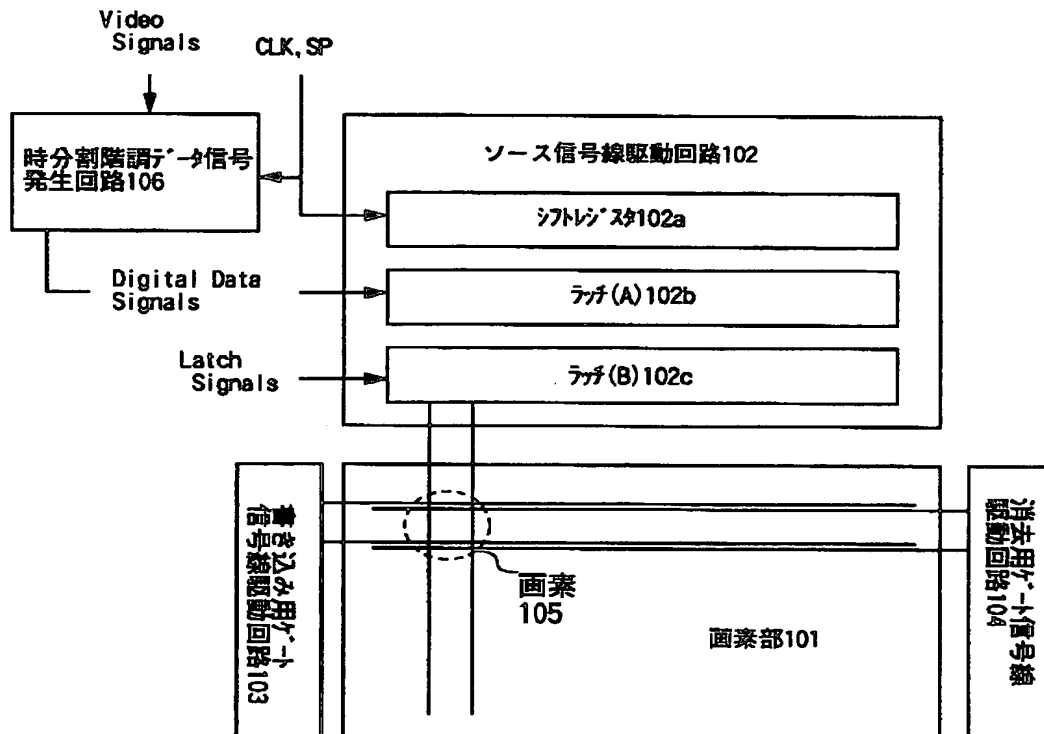
61

- 【図 12】 本発明の EL ディスプレイの作製行程を示す図。
 【図 13】 本発明の EL ディスプレイの作製行程を示す図。
 【図 14】 本発明の EL ディスプレイの作製行程を示す図。
 【図 15】 本発明で用いられるソース信号線駆動回路の回路図。
 【図 16】 本発明で用いられるラッチの上面図。
 【図 17】 本発明の EL ディスプレイを用いた電子機器。
 【図 18】 従来の EL ディスプレイの画素部の回路図。
 【図 19】 従来の EL ディスプレイの駆動方法を示すタイミングチャート。
 【図 20】 TFT の $I_{DS} - V_{GS}$ 特性を示す図。
 【図 21】 本発明の EL ディスプレイの上面図及び断面図。
 【図 22】 本発明の EL ディスプレイの断面図。
 【図 23】 本発明の EL ディスプレイの上面写真。
 【図 24】 本発明の EL ディスプレイの駆動方法を示す図。
 【図 25】 本発明の EL ディスプレイの上面図。

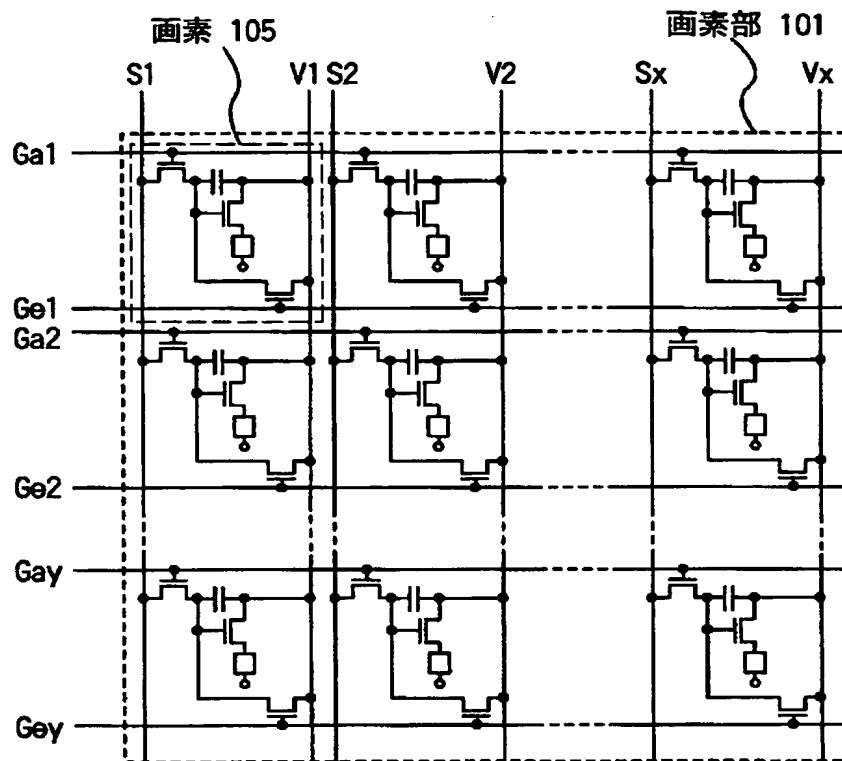
62

- 【図 26】 EL 素子と EL 駆動用 TFT の接続の構成を示す図と、EL 素子と EL 駆動用 TFT の電圧電流特性を示す図。
 【図 27】 EL 素子と EL 駆動用 TFT の電圧電流特性を示す図。
 【図 28】 EL 駆動用 TFT のゲート電圧とドレイン電流の関係を示す図。
 【符号の説明】
 101 画素部
 102 ソース信号線駆動回路
 102a シフトレジスタ
 102b ラッチ (A)
 102c ラッチ (B)
 103 書き込み用ゲート信号線駆動回路
 104 消去用ゲート信号線駆動回路
 105 画素
 106 時分割階調データ信号発生回路
 107 スイッチング用 TFT
 108 EL 駆動用 TFT
 109 消去用 TFT
 110 EL 素子
 111 対向電源

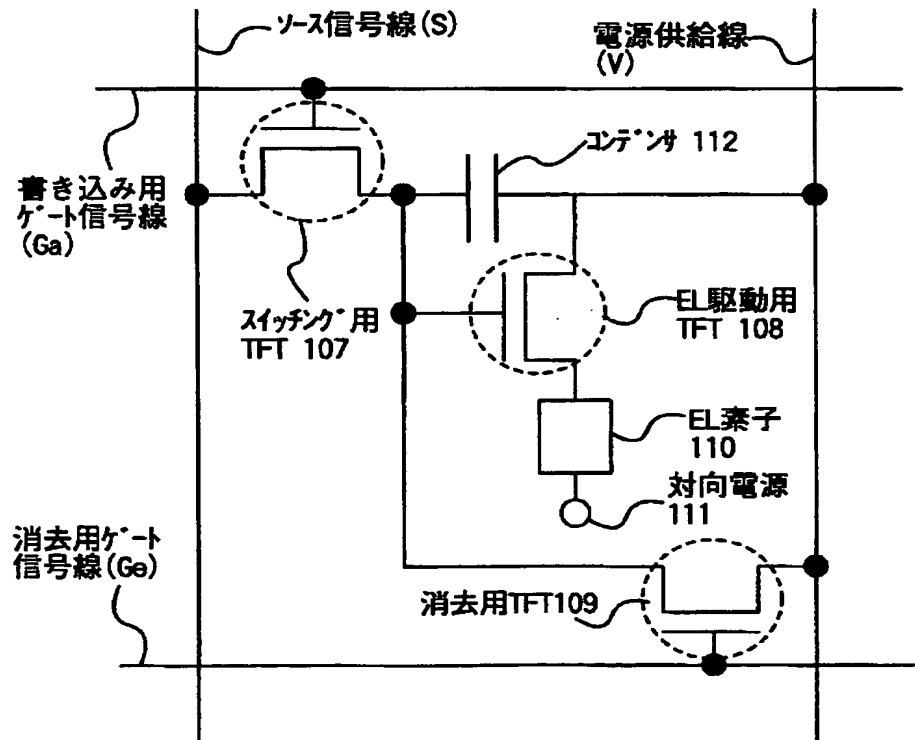
【図 1】



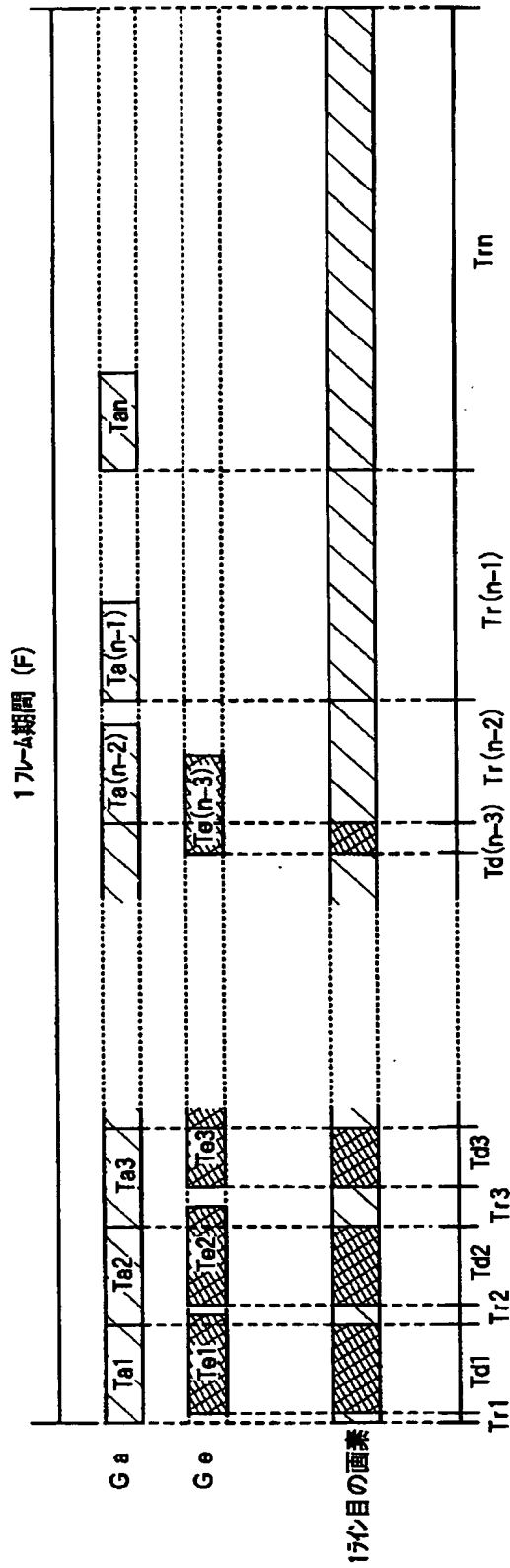
【図2】



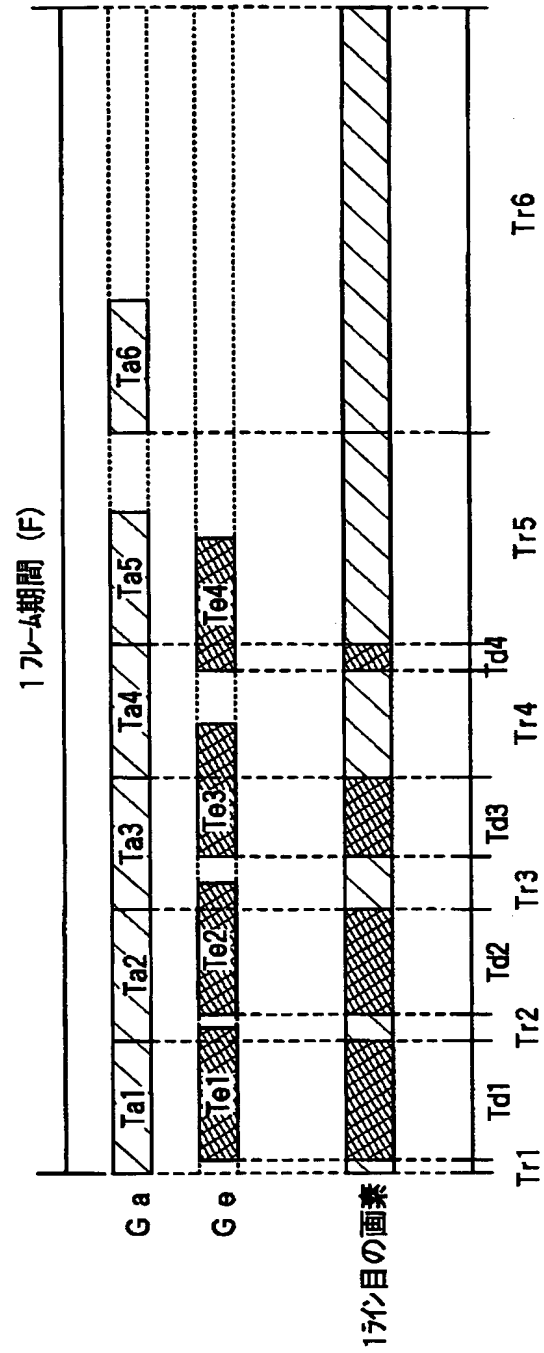
【図3】



【図 4】

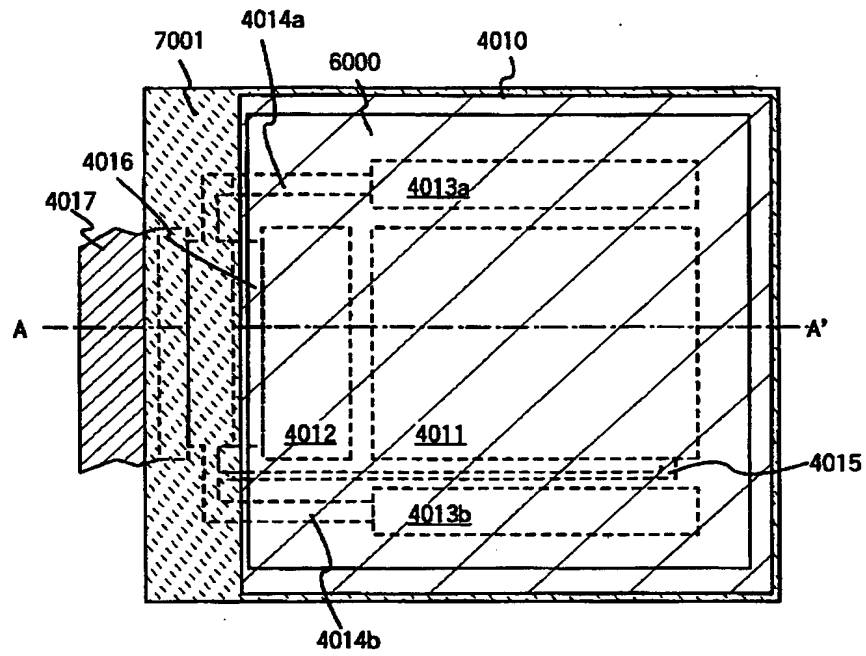


【図 5】

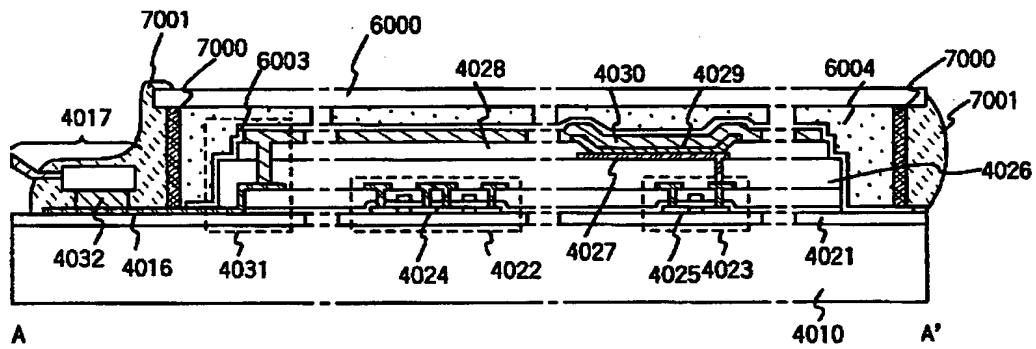


【図 6】

(A)

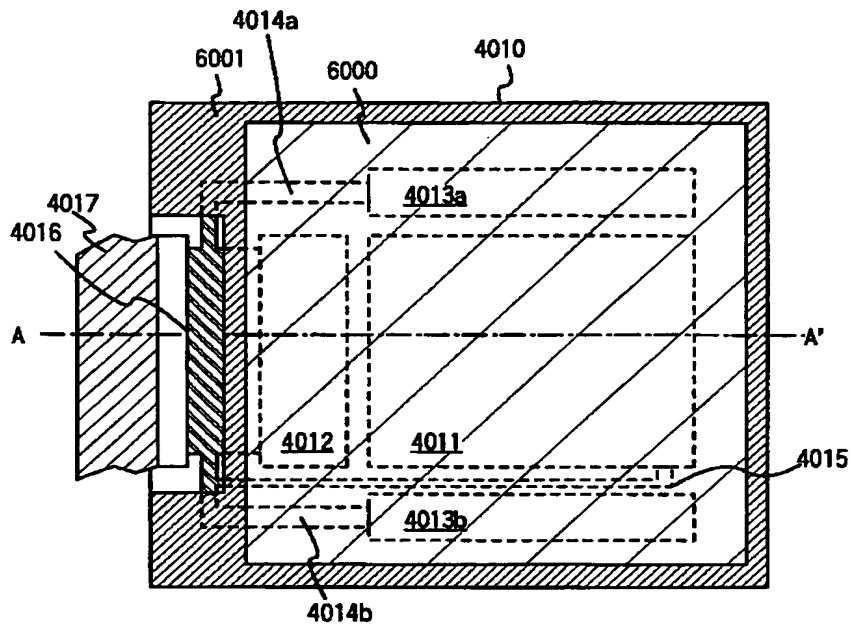


(B)

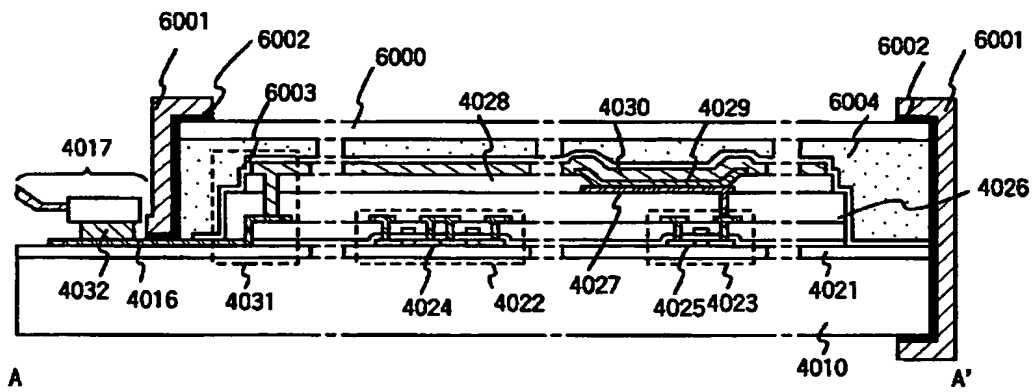


【図 7】

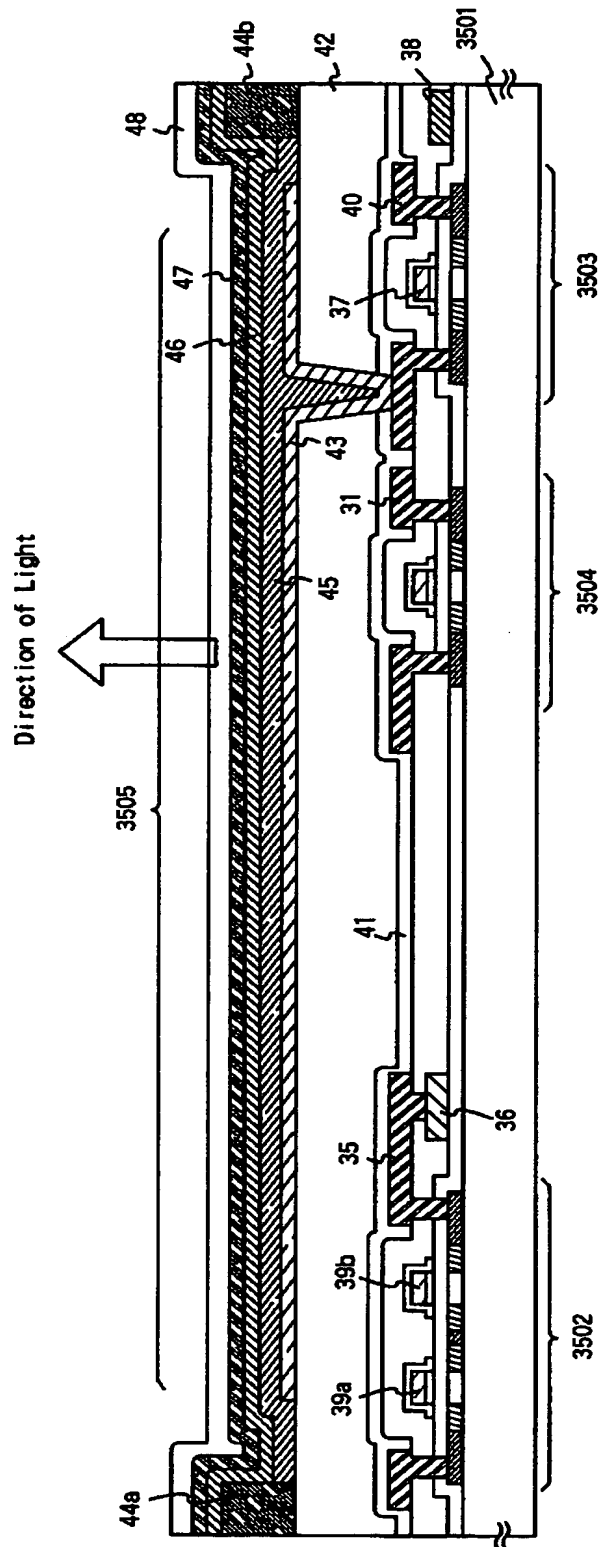
(A)



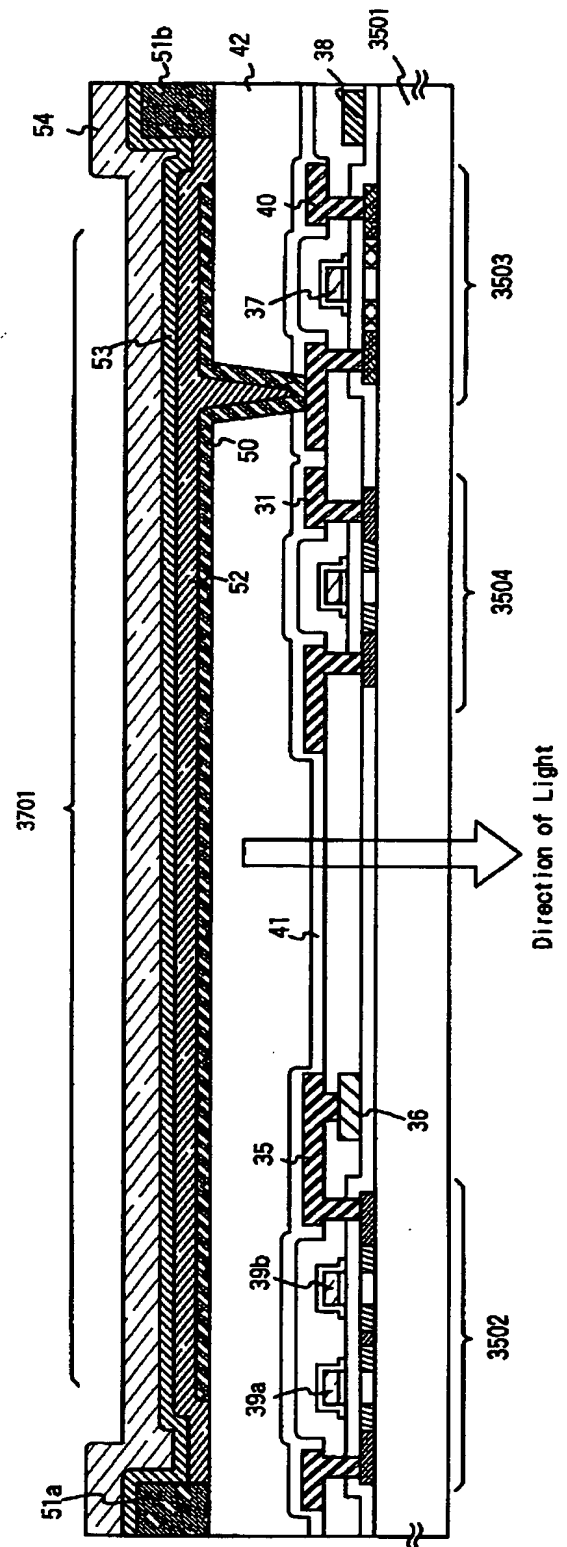
(B)



【図 8】

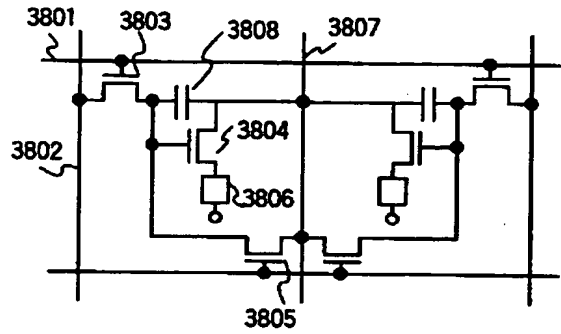


【図 9】

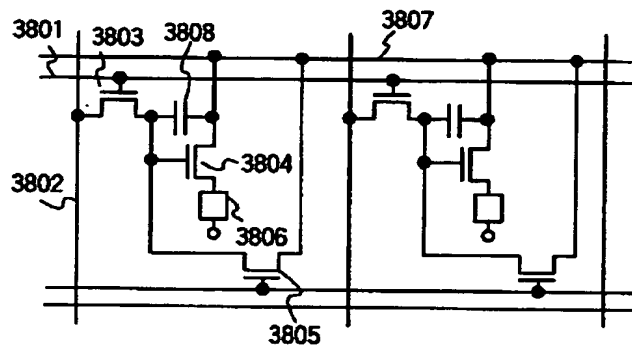


【図 10】

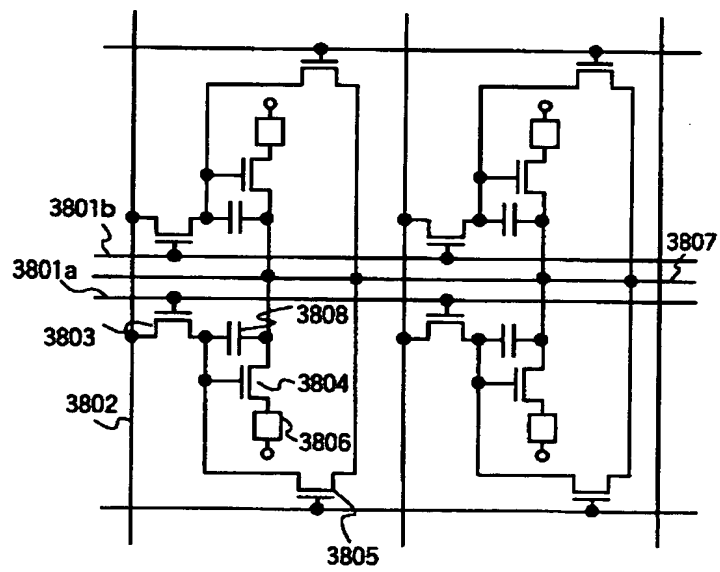
(A)



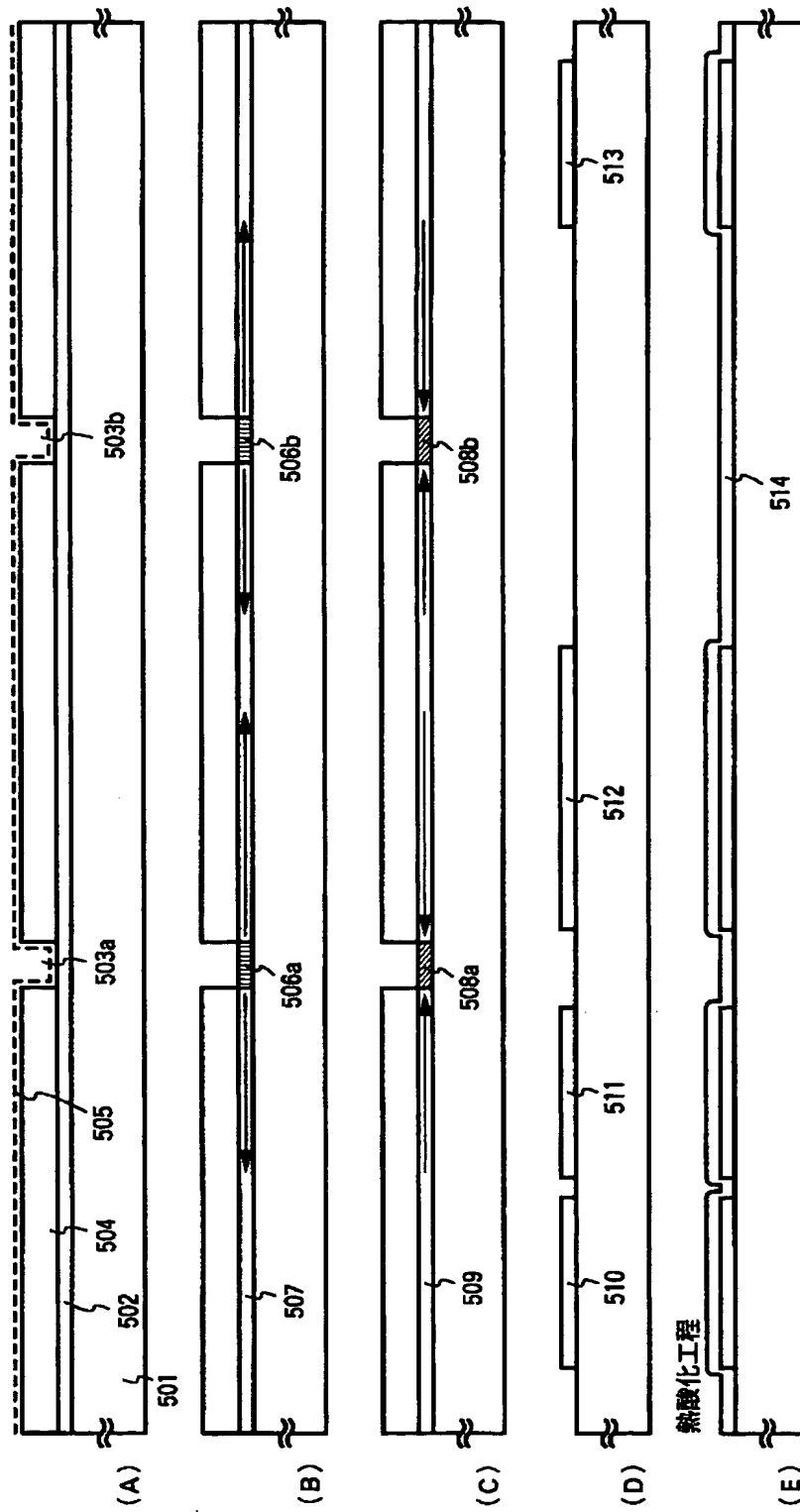
(B)



(C)

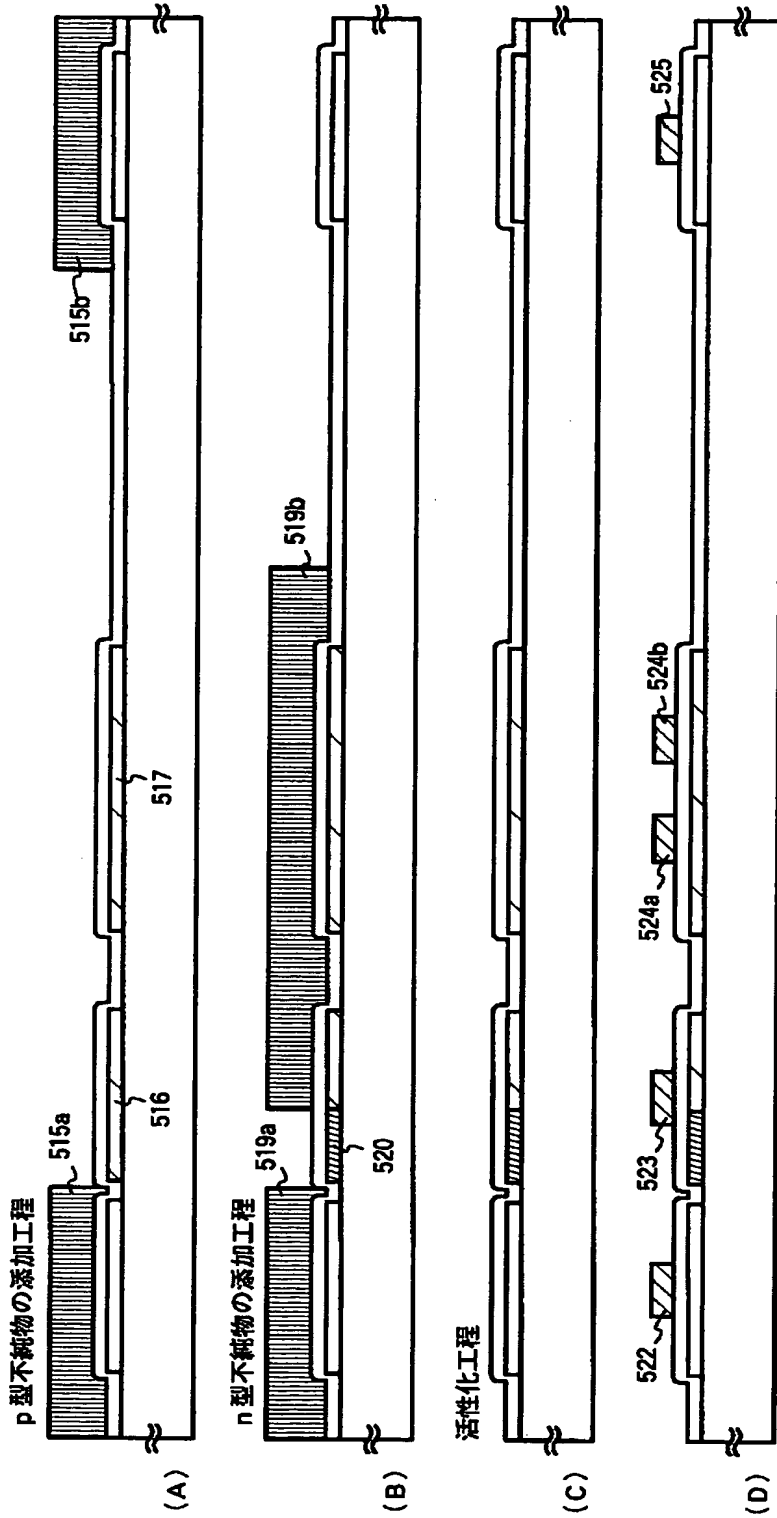


【図 11】



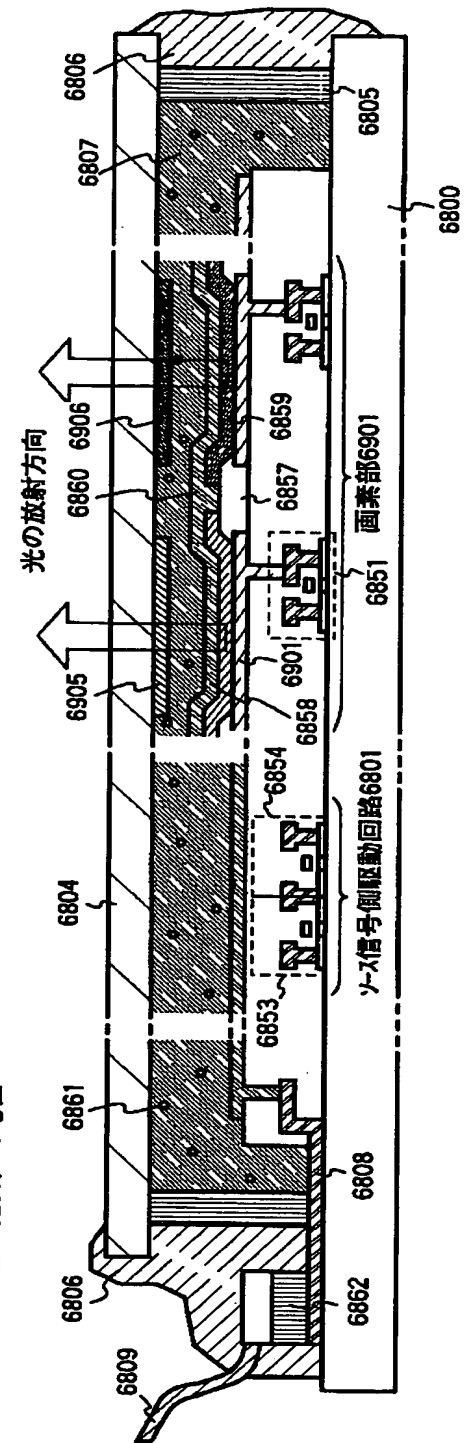
501:石英基板 502:75%フッ素シリコン膜 503a、503b:開口部 504:保護膜 505:Ni含有層
 506a、506b:Ni添加領域 507:フッ素シリコン膜 508a、508b:フッ素添加領域 509:フッ素シリコン膜
 510~513:活性層 514:ゲート絶縁膜

【図12】

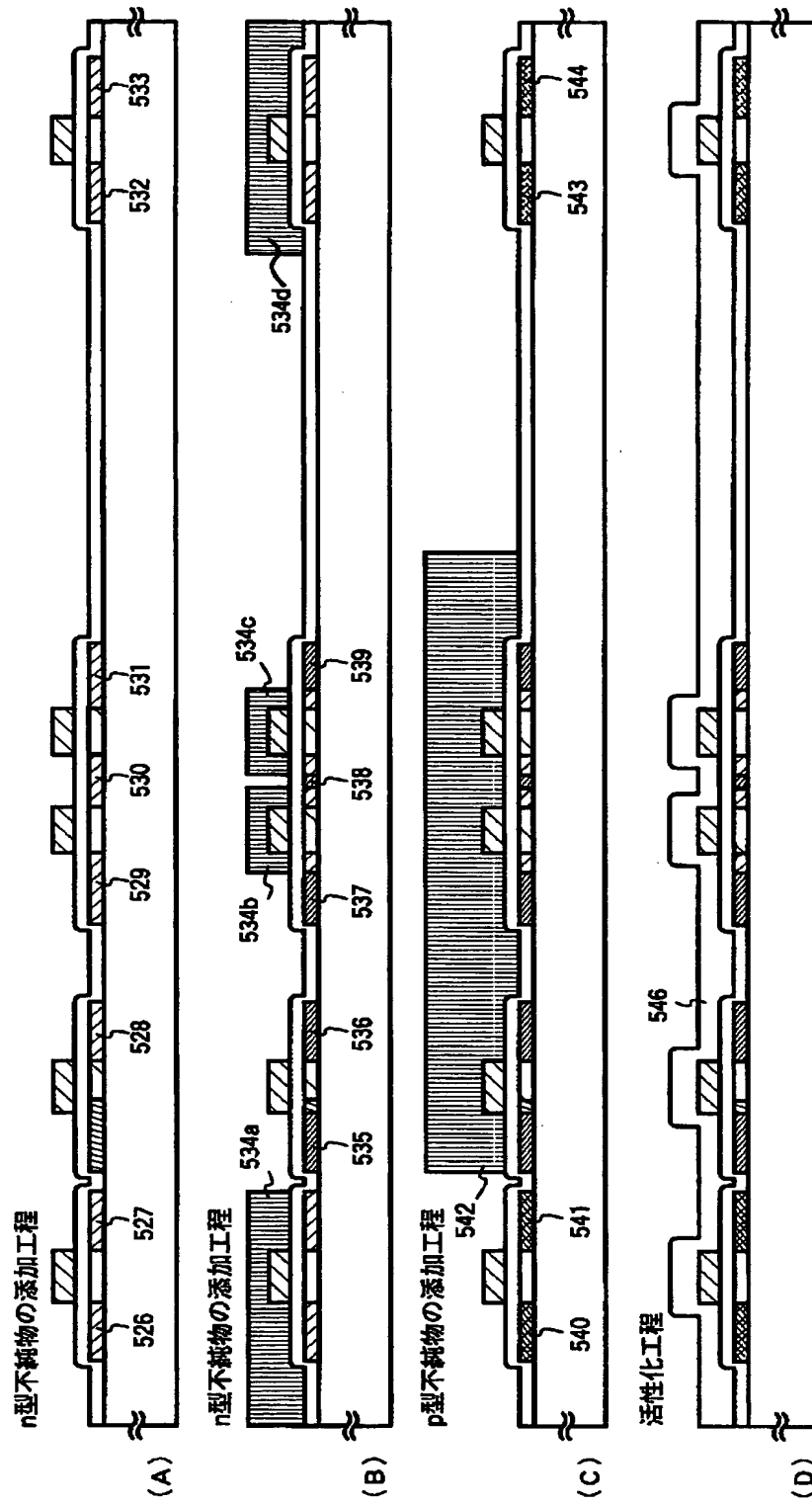


【図22】

515a, 515b, 519a, 519b: レジストマスク 516, 517: p型不純物領域 520: n型不純物領域
522~525: ノット電極

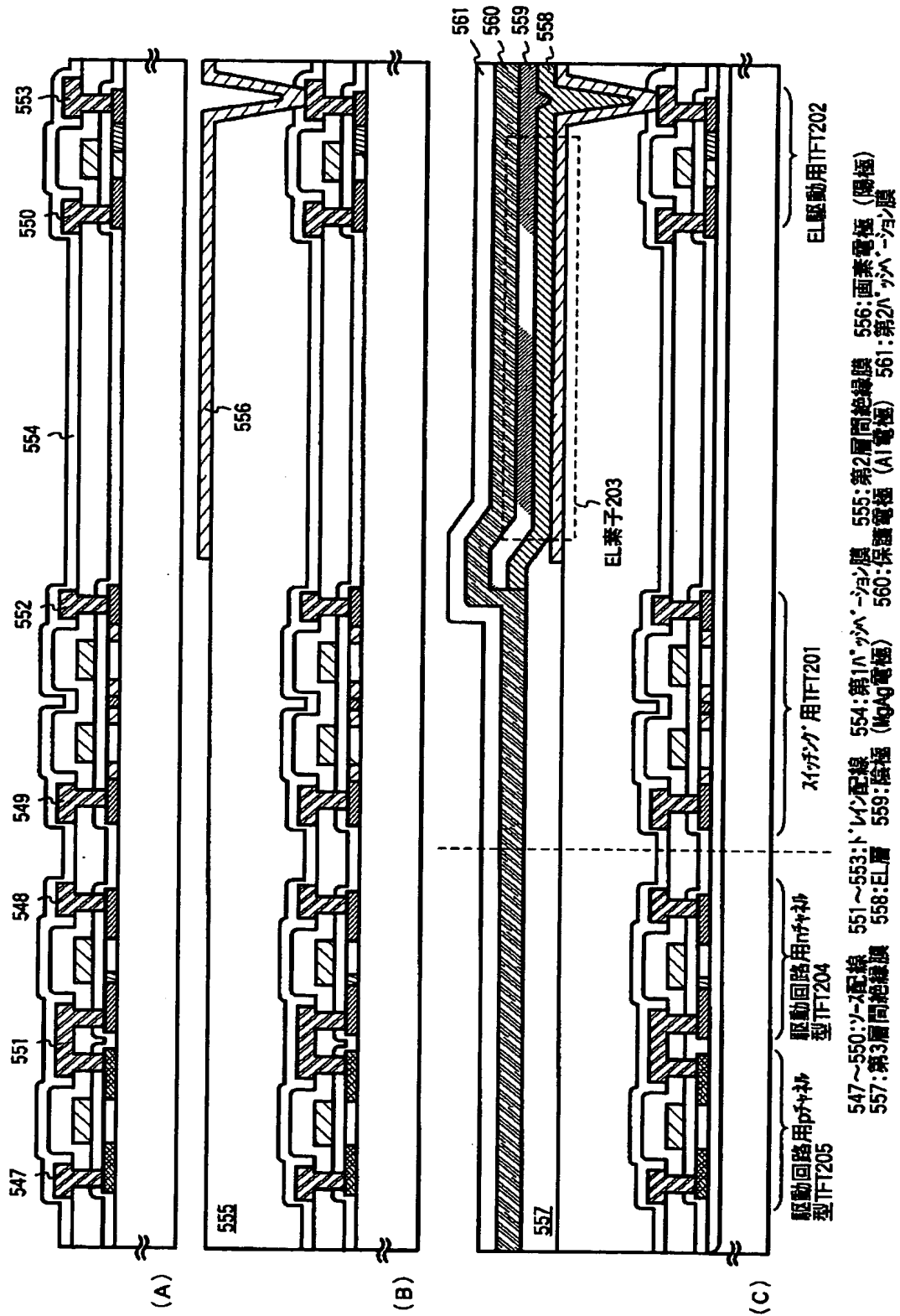


【図 13】

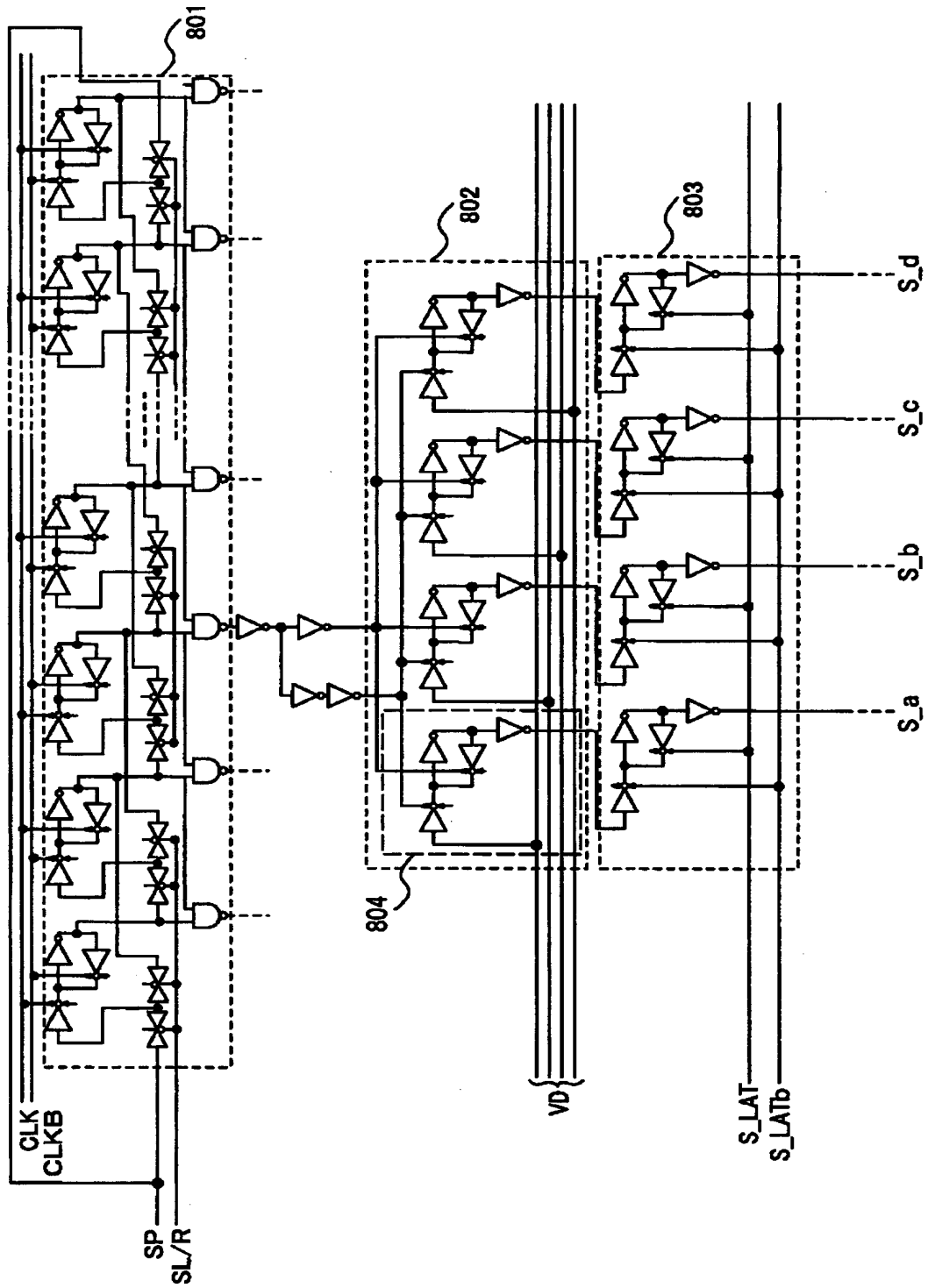


526~533:n型不純物領域 534a~534d, 542:n型不純物領域 540, 541, 543, 544:p型不純物領域
 546:第1層間絶縁膜

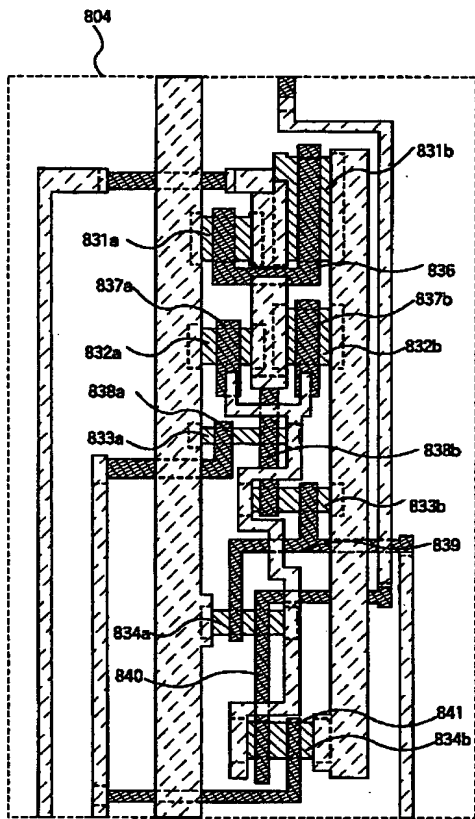
【図14】



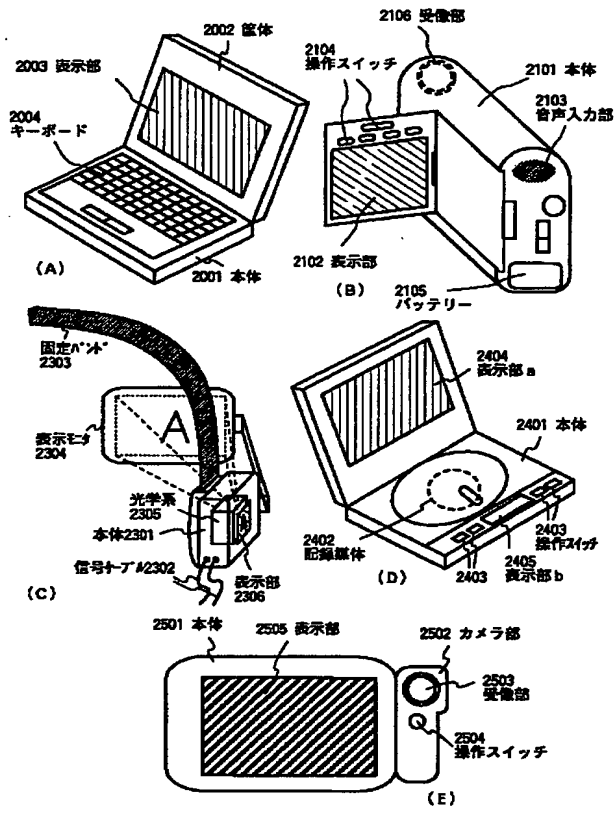
【図 15】



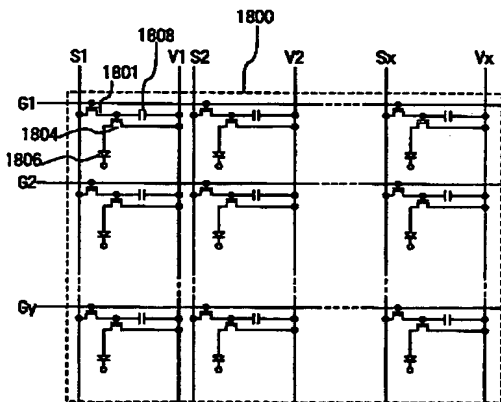
【図 16】



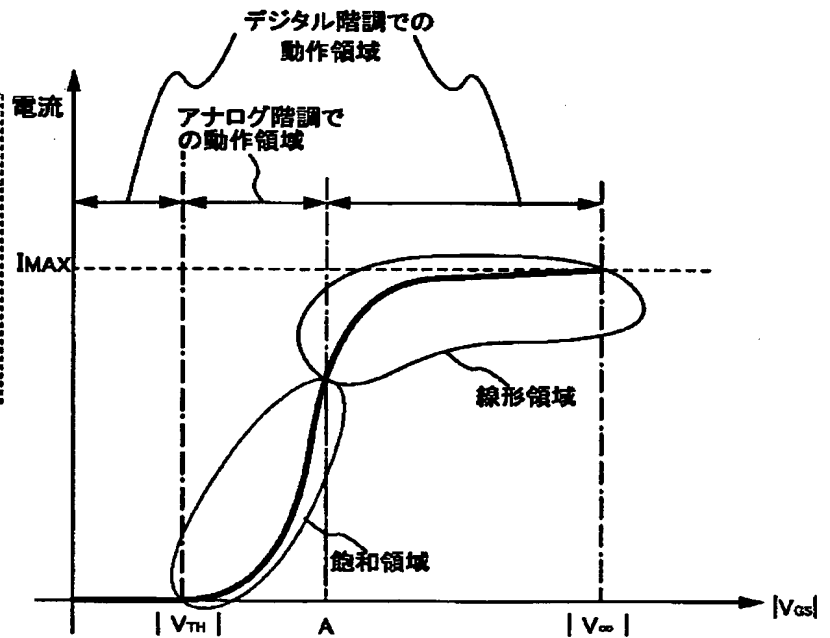
【図 17】



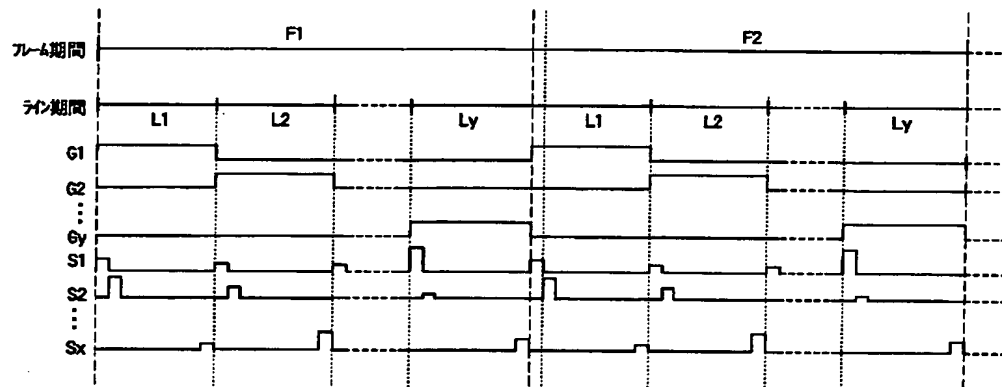
【図 18】



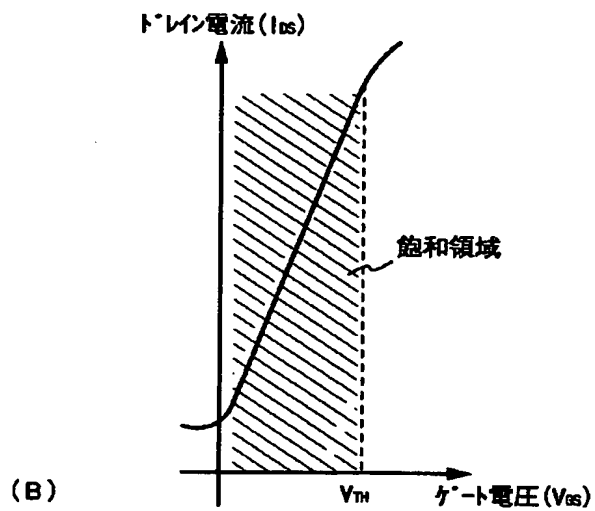
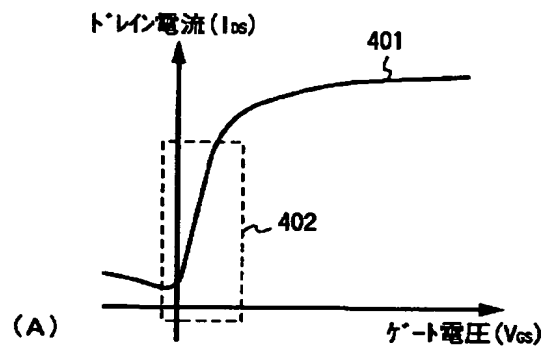
【図 28】



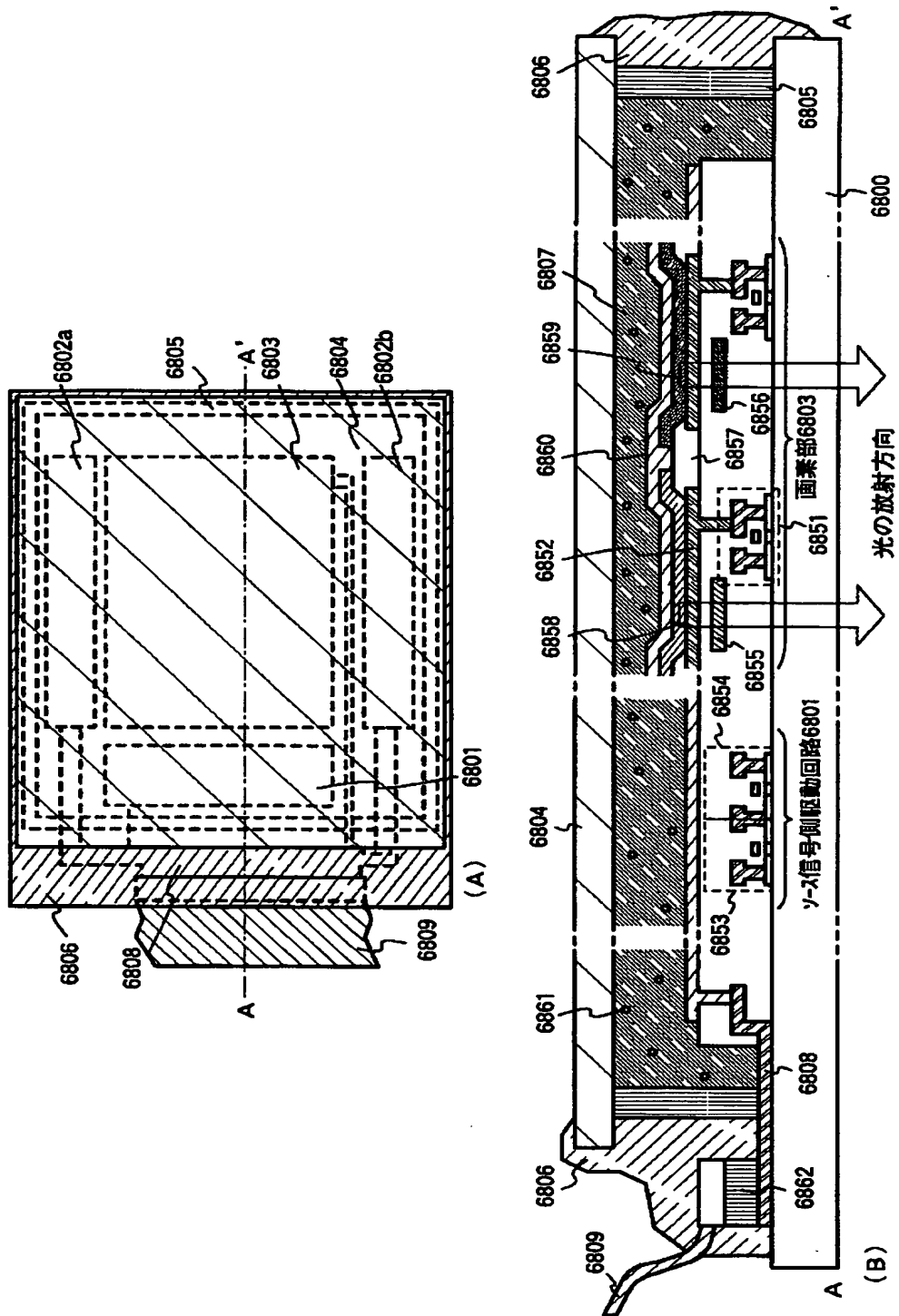
【図 19】



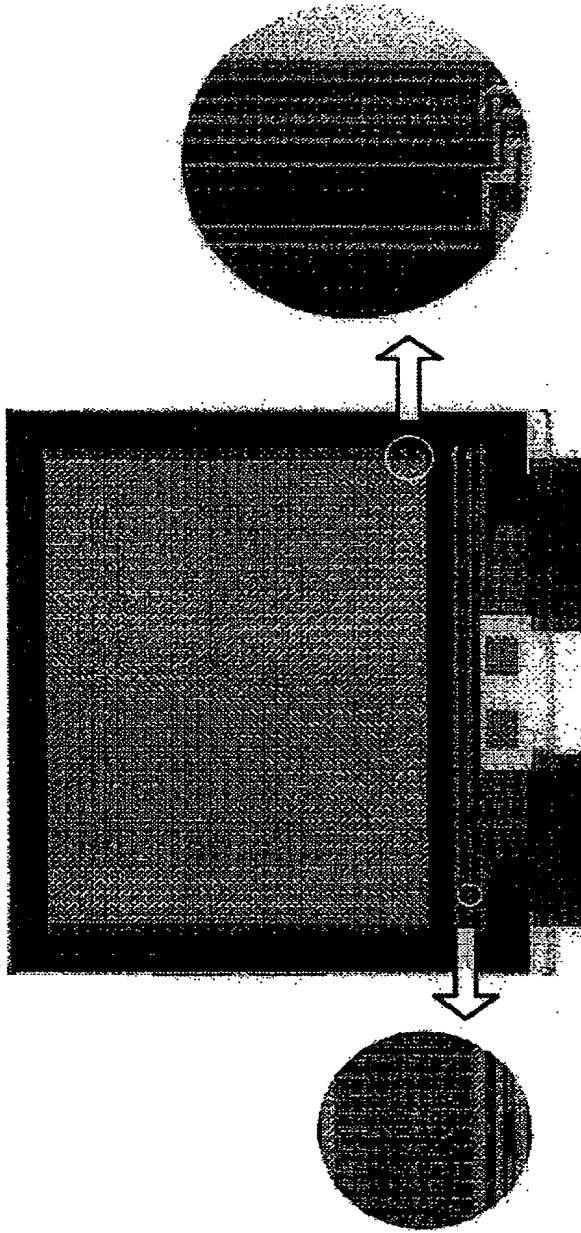
【図 20】



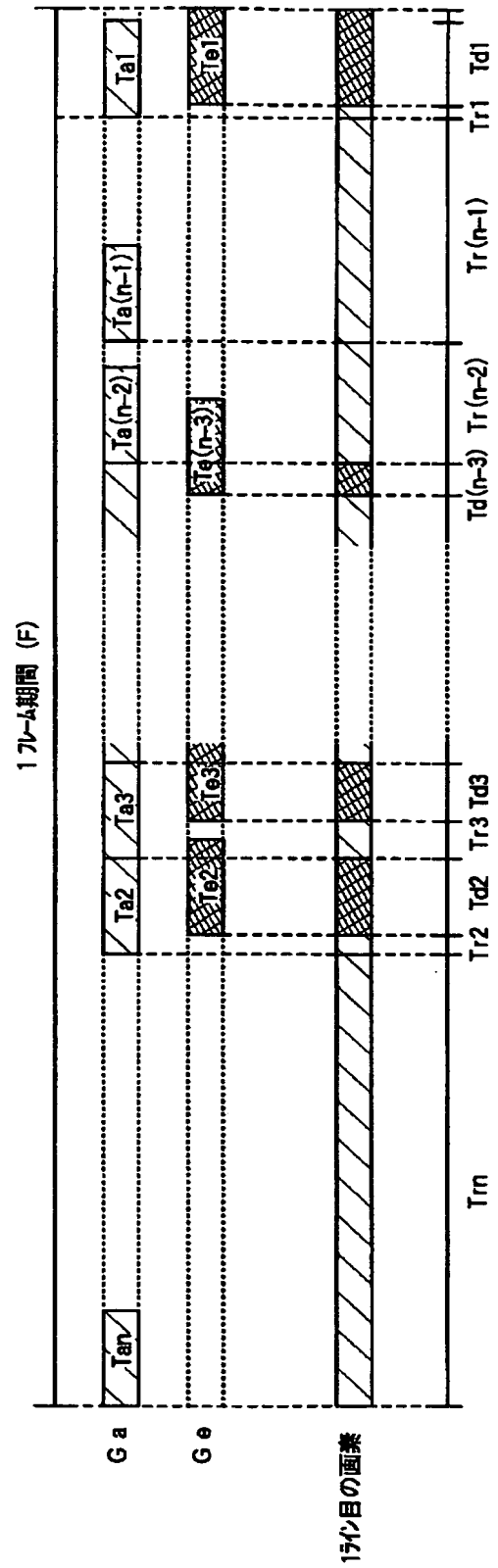
【図 21】



【図 23】

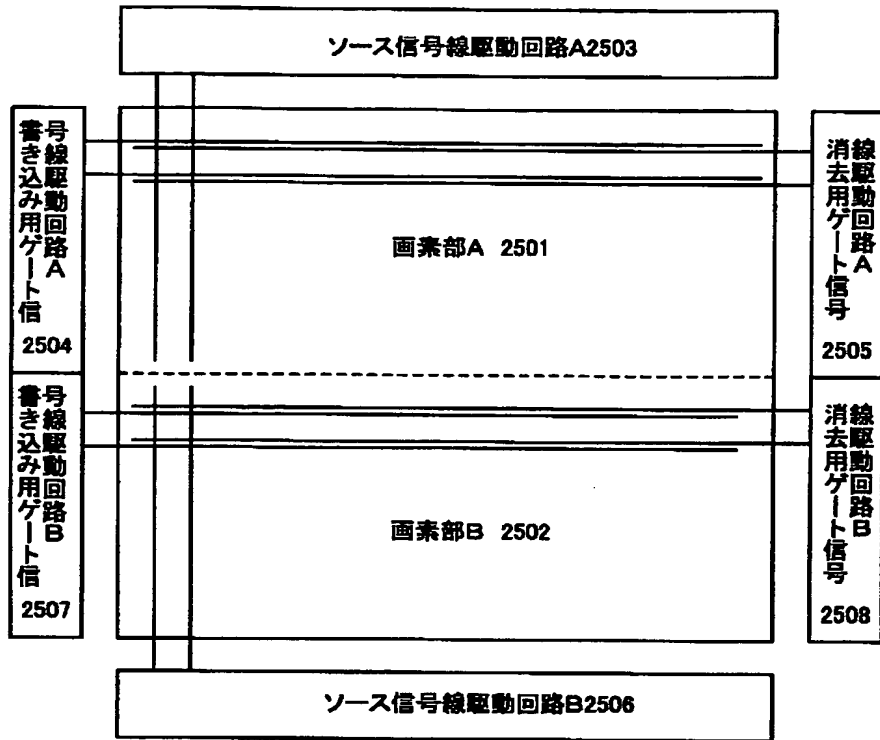


【図 24】

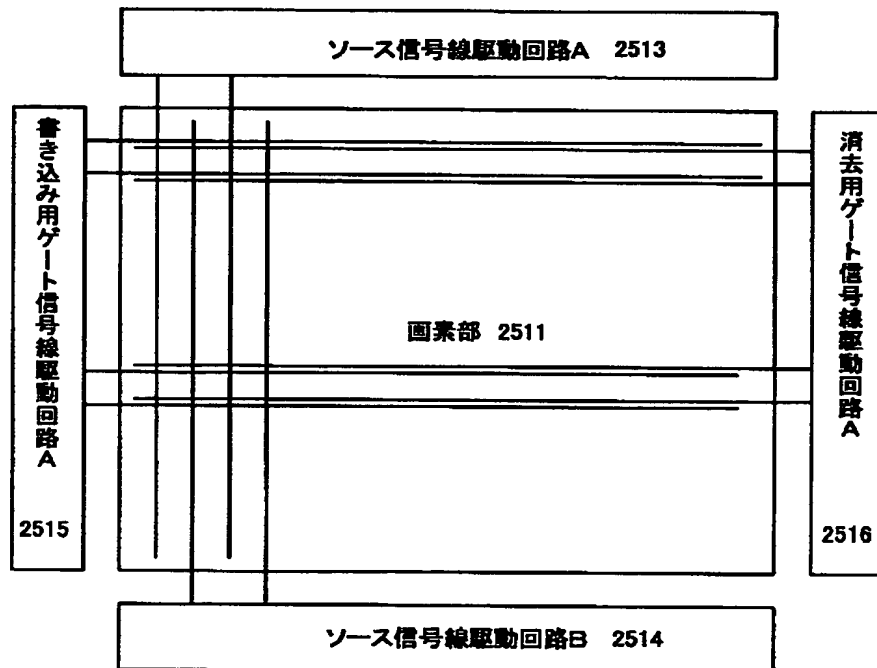


【図 25】

(A)

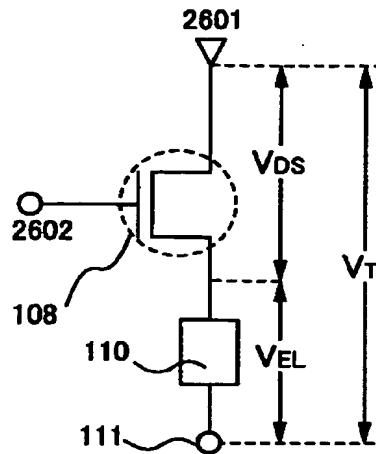


(B)

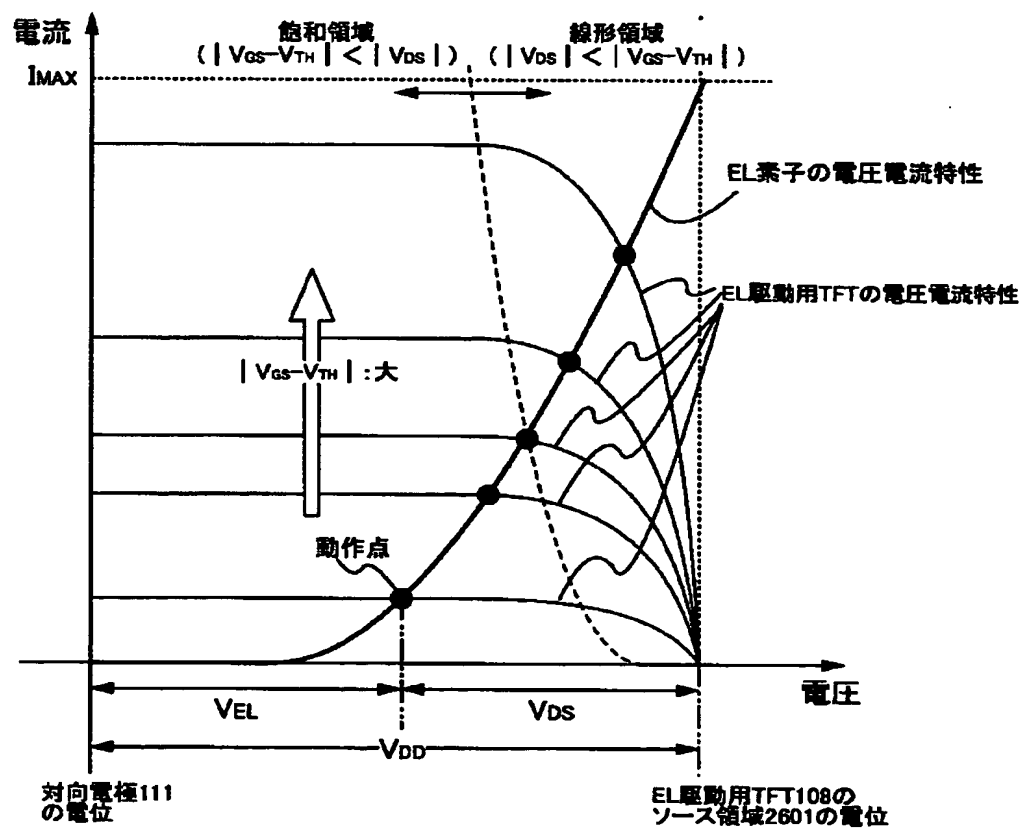


【図 26】

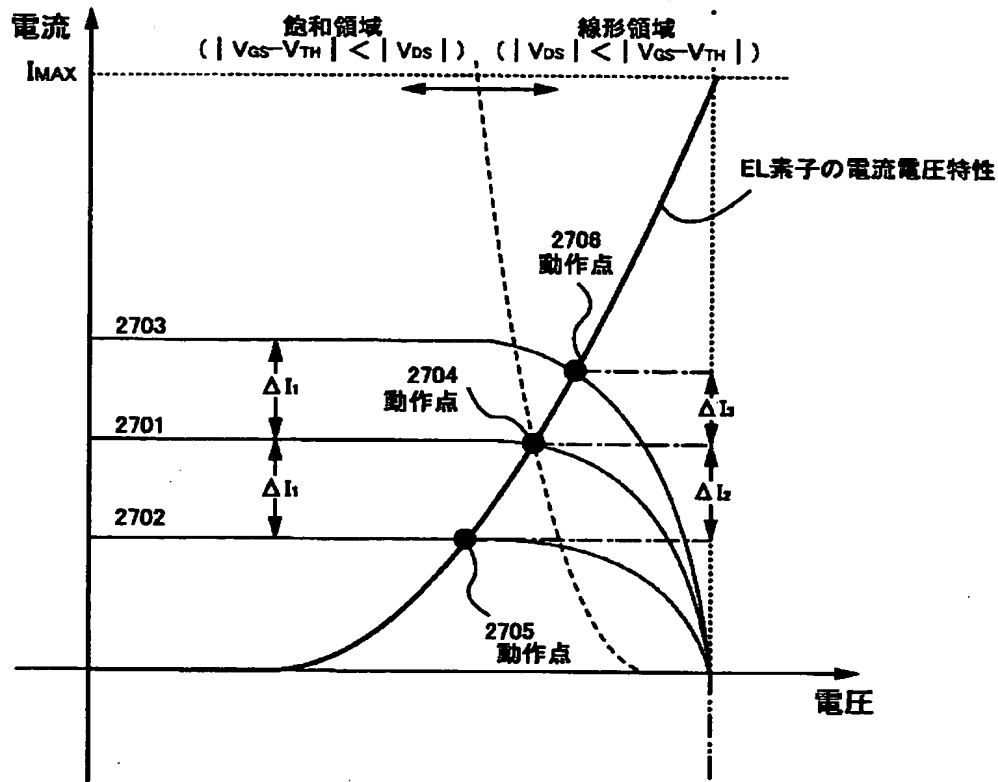
(A)



(B)



【図27】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テームコード (参考)
G 0 9 G 3/20	6 4 1	G 0 9 G 3/20	6 4 1 E
H 0 5 B 33/14		H 0 5 B 33/14	6 4 1 A
			A

F ターム (参考) 3K007 AB02 AB04 BA06 BB01 BB02
 BB06 DA00 DB03 EB00 FA01
 FA02 FA03 GA04
 5C080 AA06 BB05 CC03 DD03 FF09
 HH22 KK02 KK10 KK14 KK43
 5C094 AA07 AA10 AA15 AA42 AA43
 AA44 BA03 BA27 CA19 EA04
 EA05 EB02 ED02 HA05 HA06
 HA07 HA08 HA10